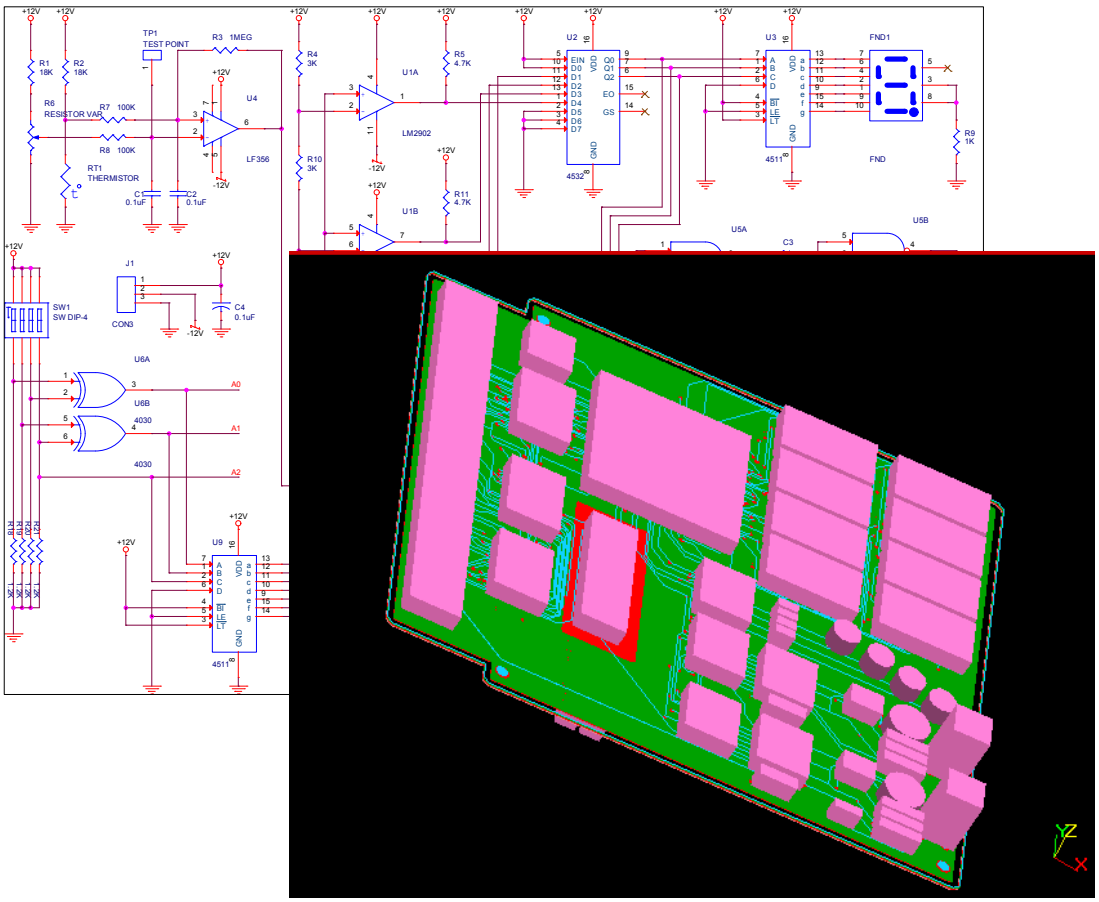
cadence™

OrCAD/Allegro PCB Design 16.3



Cadence™ Channel Partner

NP EDA
나인플러스이디에이(주)

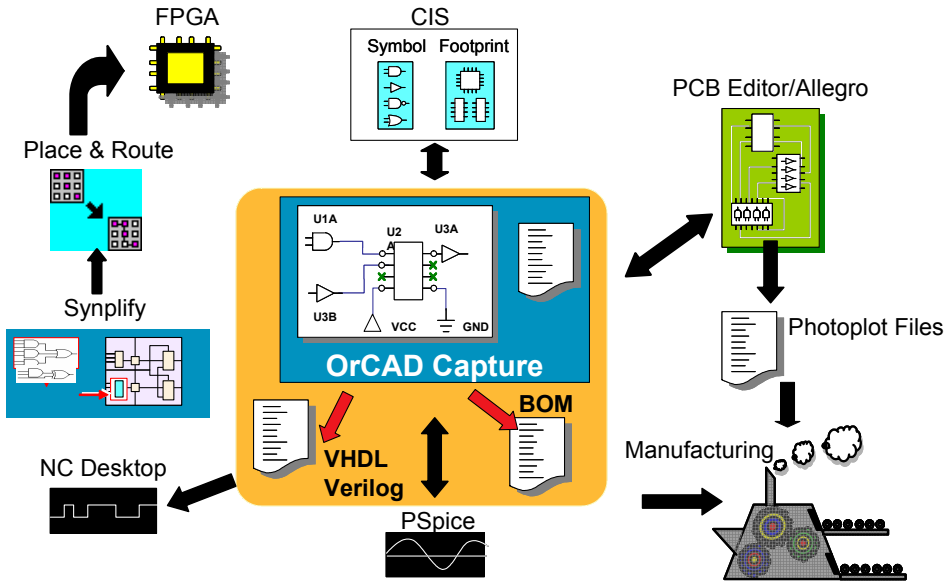
Tools Overview

- Version

	~2005년	2006년	2007~2008년	2009년	2010년
Cadence OrCAD®	9.2..10.5V	15.7V	16.0V	16.2V	16.3V
Cadence Allegro®	14.2..15.5V	15.7V	16.0V	16.2V	16.3V

- Products/Package

Product / Package	Circuit Design	Circuit Verification	PCB Design	
	Capture	PSpice	PCB Editor	PCB SI/PI
~~OrCAD Unison PCB~~ :			OrCAD Layout	
OrCAD EE Designer	●	●		
OrCAD PCB Designer (L)	●		●	
OrCAD PCB Designer with PSpice	●	●	●	
Allegro	Allegro Design Entry CIS	Allegro AMS Simulator	Allegro PCB Editor (L/XL/GXL)	Allegro PCB SI



입문 - 쉽게 따라하기

단안정멀티바이브레이터 - 양면 PCB 설계

Circuit Design

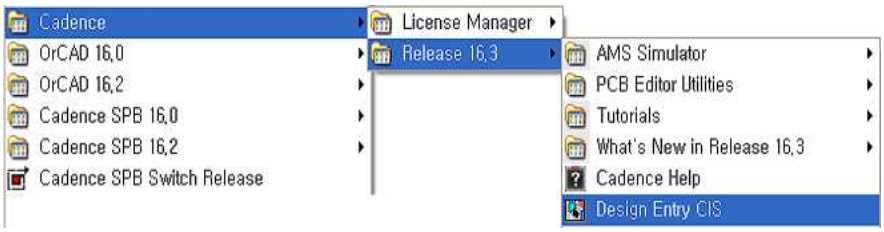
1. New Project 생성
2. 부품 배치/배선
3. PCB Footprint 부여
4. Annotate/DRC/Netlist 생성

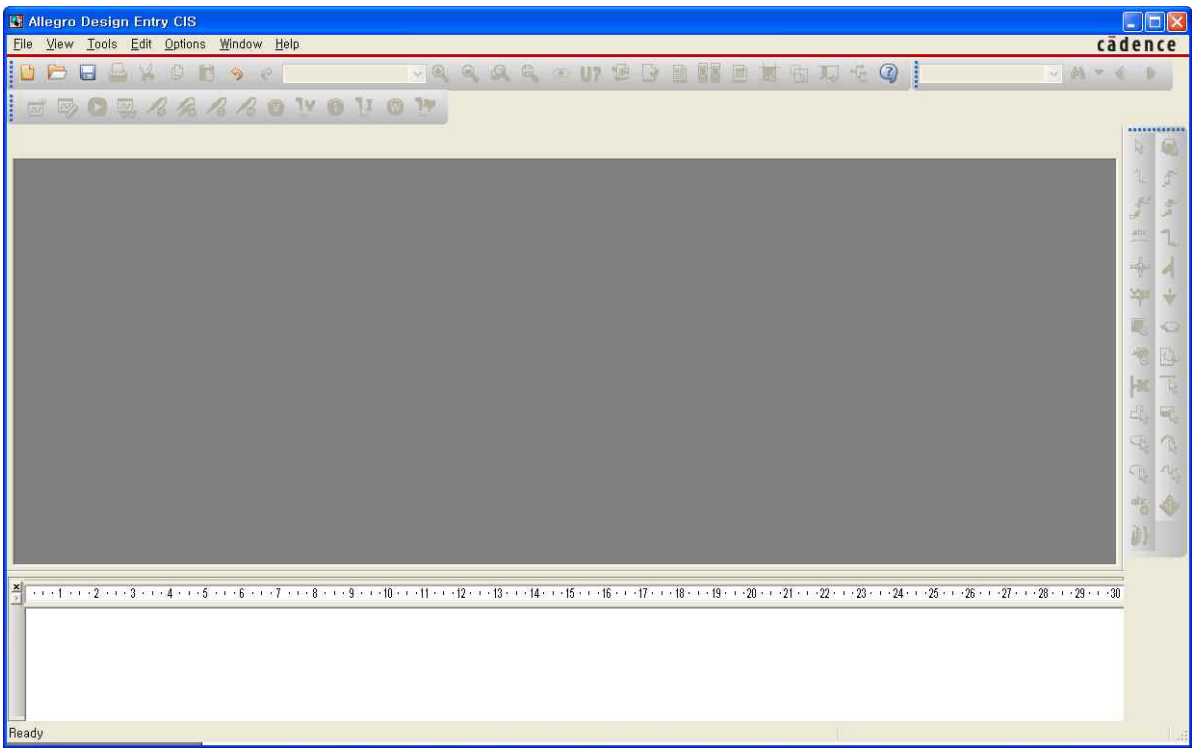
PCB Design

5. PCB 설계 Setup
6. Board Outline 생성
7. 부품 배치/배선
8. Gerber File 생성

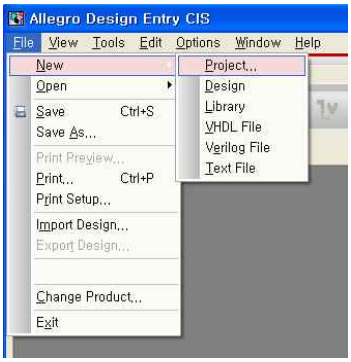
1 New Project 생성

(1) Design Entry CIS 또는 OrCAD Capture 프로그램을 실행한다.

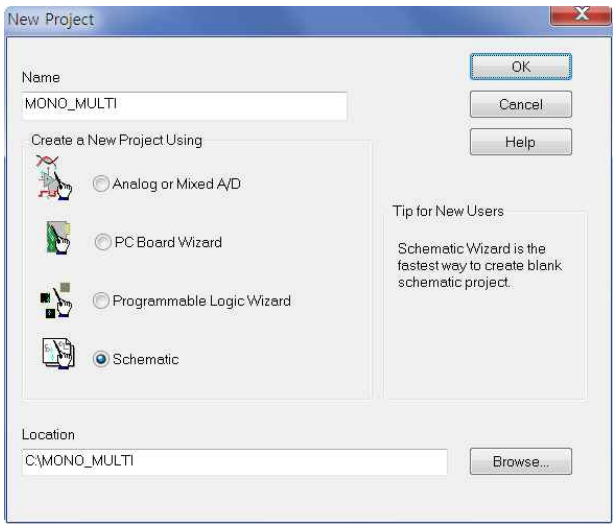




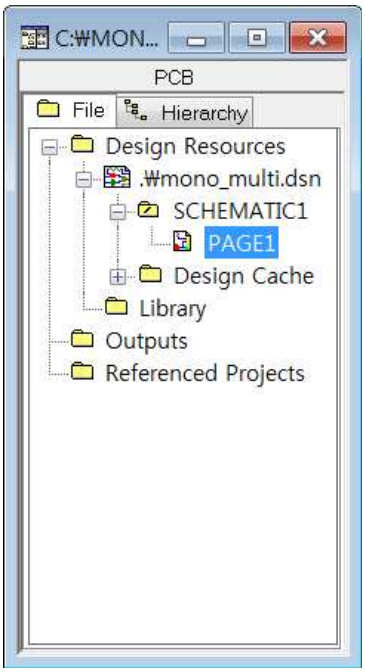
(2) New Project를 생성하기 위해 메뉴바 File - New - Project...를 선택한다.

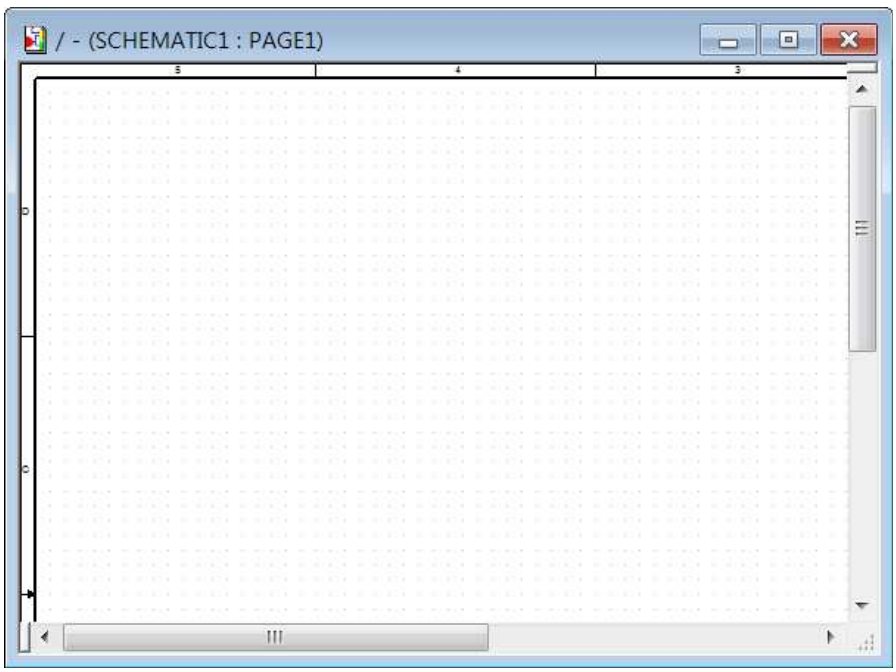


(3) New Project 창의 Name 필드에 프로젝트 파일의 이름을 입력하고, Location 필드에 Browse... 버튼을 이용하여 파일의 경로를 지정하거나 아래와 같이 입력한 후 OK 버튼을 선택한다. 프로젝트 매니저창과 Schematic page가 열린다.



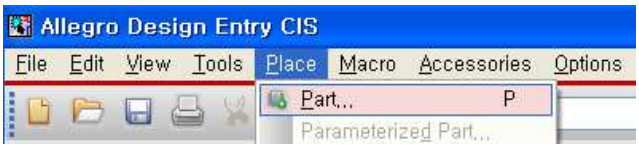
- Analog or mixed A/D : Analog 또는 Digital 혼합회로 설계를 위한 Pspice Project option
- PC Board Wizard : A/D 또는 VHDL, Verilog를 이용한 회로 해석
- Programmable Logic Wizard : CPLD나 FPGA design, Digital simulate 를 한다
- Schematic : Schematic 작성용 Capture

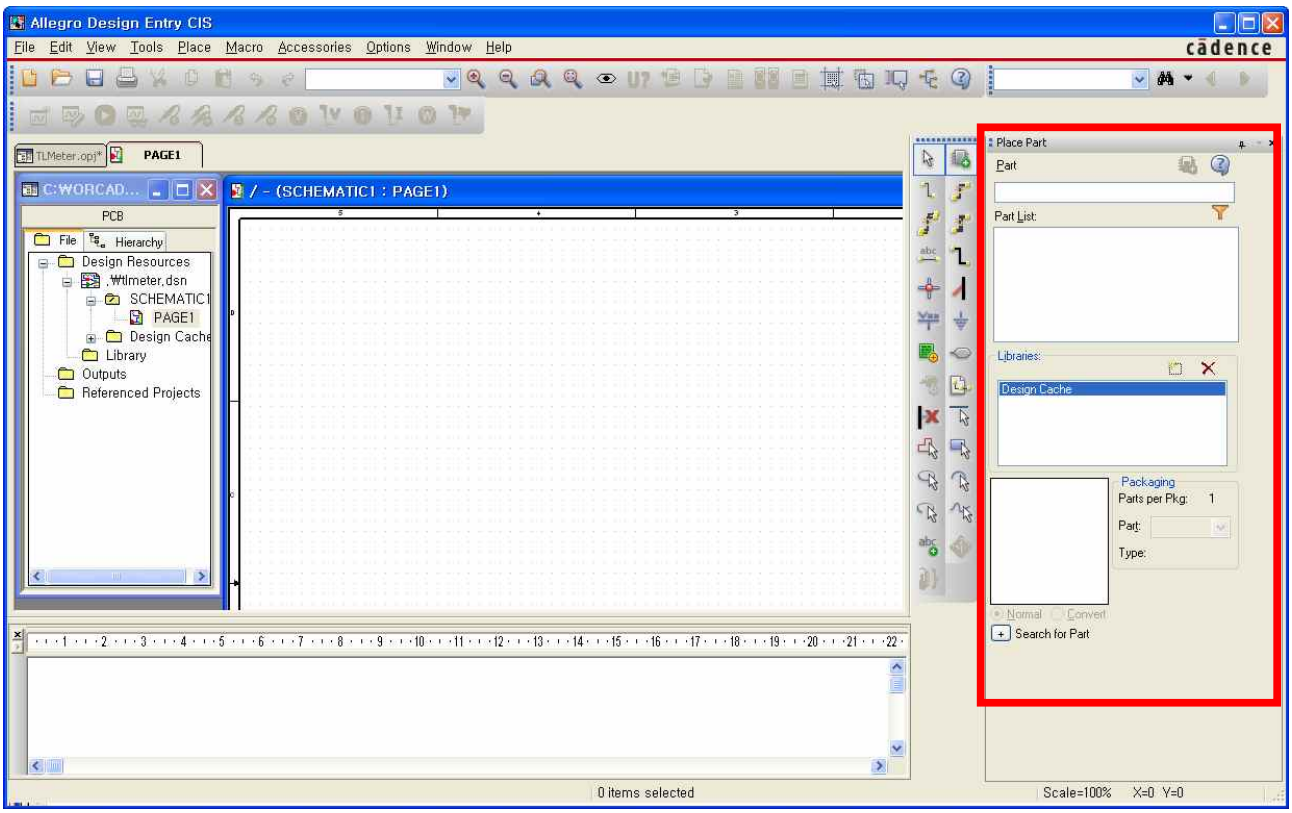




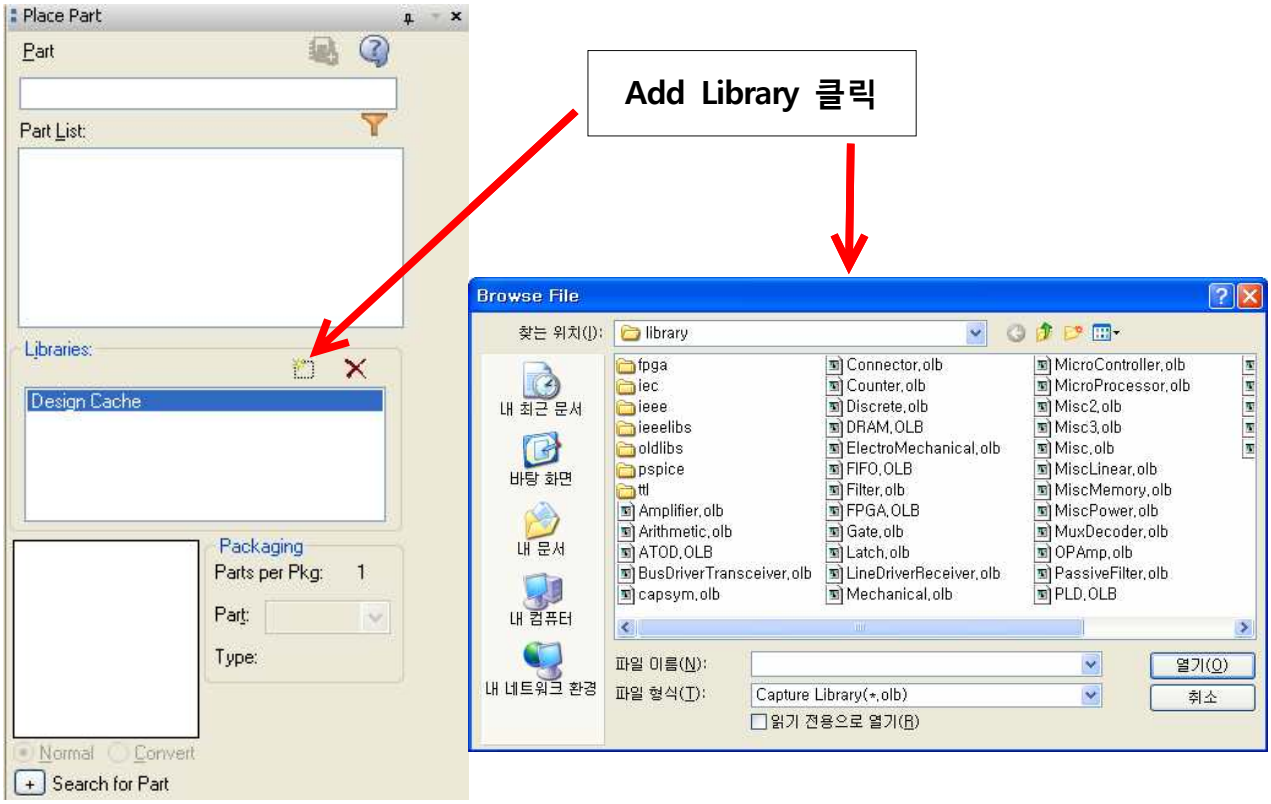
2 부품 배치/배선

(1) 부품을 배치하기 위해서 제공하는 라이브러리를 추가한다. 메뉴바 Place - Part...를 선택한다.

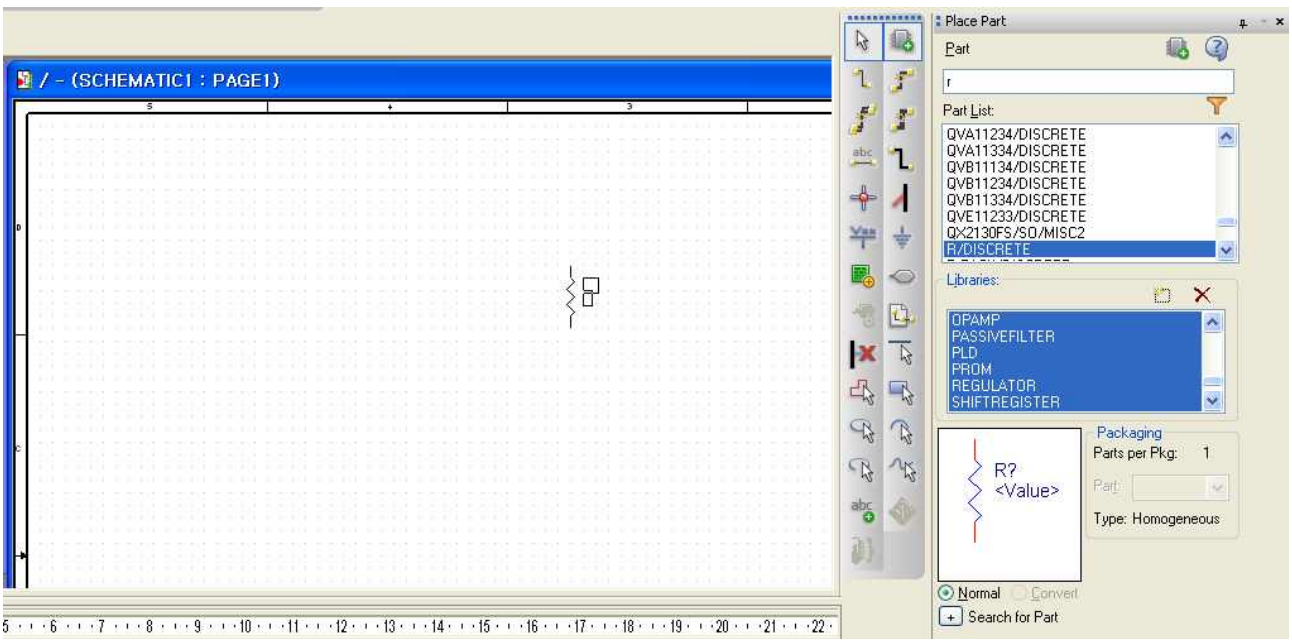




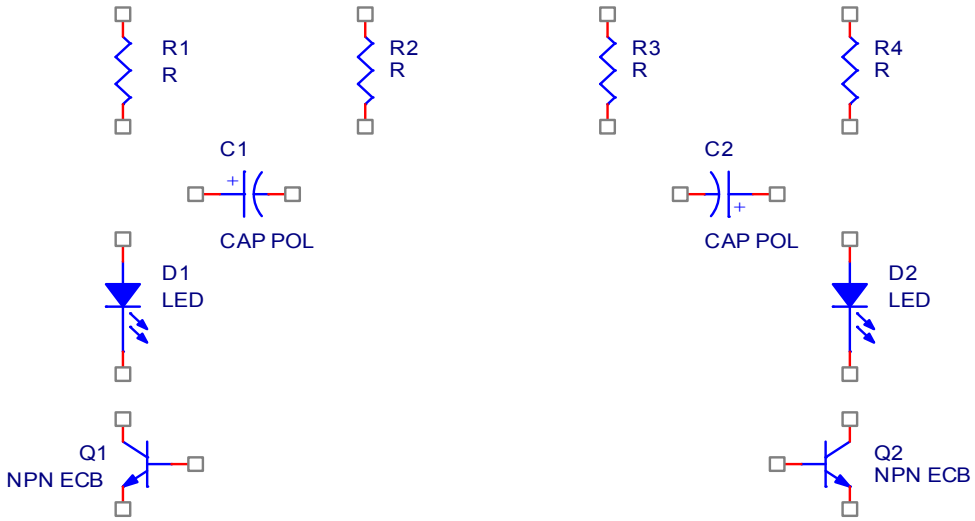
(2) Place Part창의 Libraries 항목의 Add Library 아이콘을 선택한 후, Amplifier.olb ~ Transistor.olb 까지 열기 버튼을 선택한다.



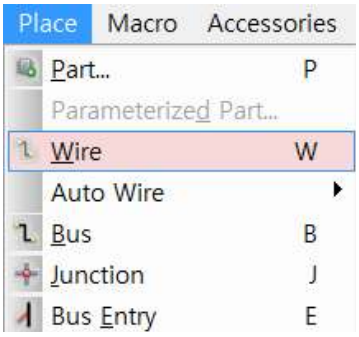
(3) Part 필드에 찾고자 하는 부품명(예. R)을 입력한 후 enter 키를 누르면, 해당 부품이 커서를 따라 이동하며, 원하는 곳에 클릭하면 배치가 된다. 계속 클릭하면 연속적으로 배치가 되며, 종료하기 위해서는 키보드 Esc(End Mode)키를 누른다.

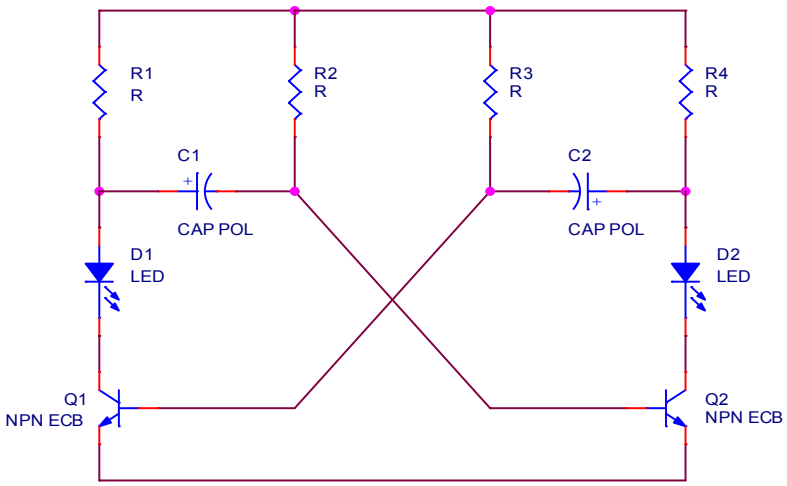


(4) 나머지 부품도 같은 방법으로 배치하며, 부품을 회전하기 위해서는 키보드의 R 키를 선택하거나, 팝업 메뉴의 Rotate를 선택한다. 또는 마우스 팝업 메뉴의 Mirror 기능을 이용하여 부품을 배치한다.

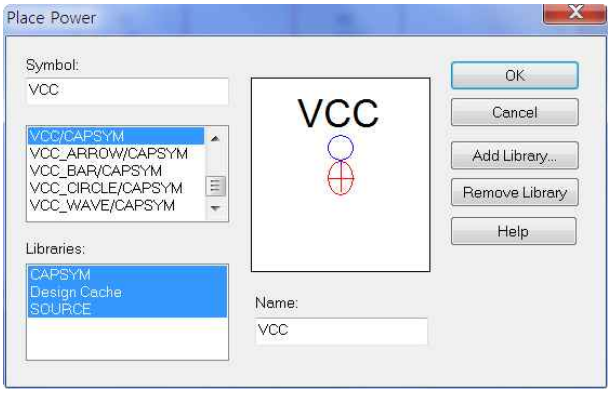


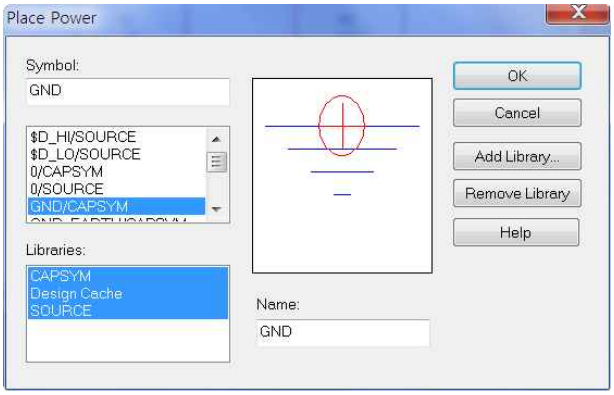
(5) 부품 핀을 연결하기 위해서 메뉴바 Place - Wire를 선택하여, 시작점과 끝점을 클릭을 통해서 연결 완료한다. 사선 wire는 Shift 키를 누른 상태에서 시작점을 클릭한다.

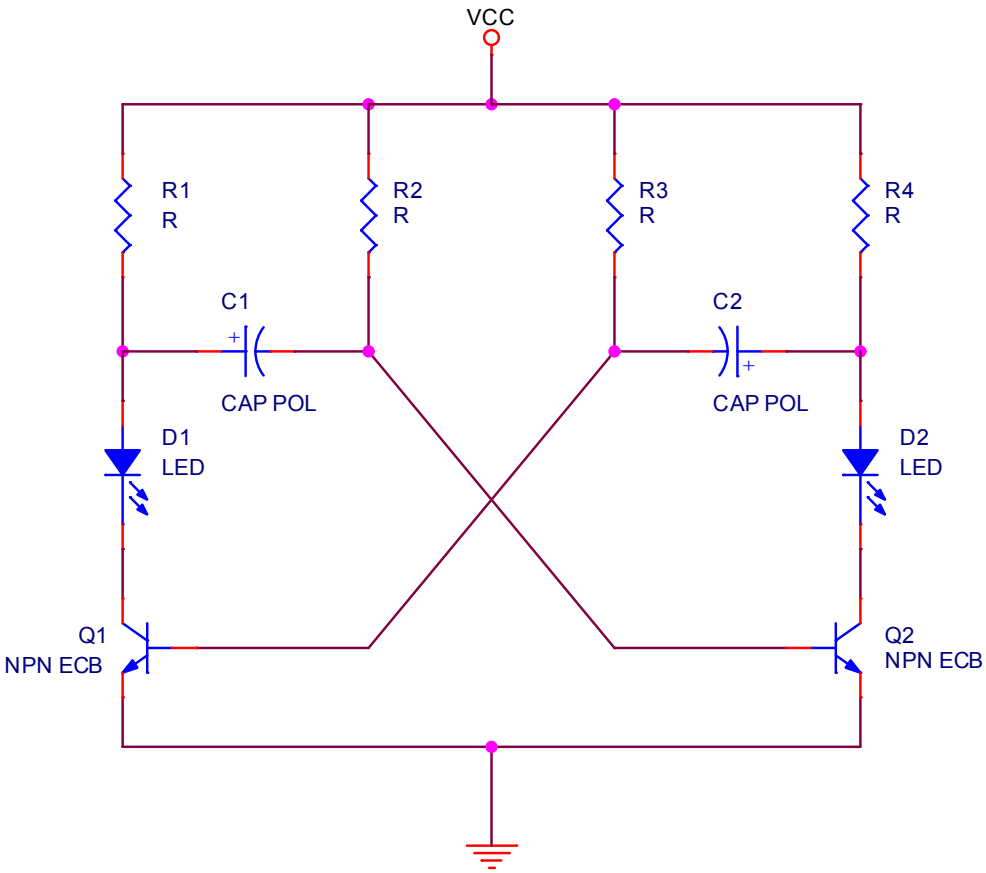




(6) 전원 연결을 위해서 메뉴바 Place - Power 와 Place - Ground를 선택하여, VCC와 GND를 배치하여 wire로 연결을 완료한다.

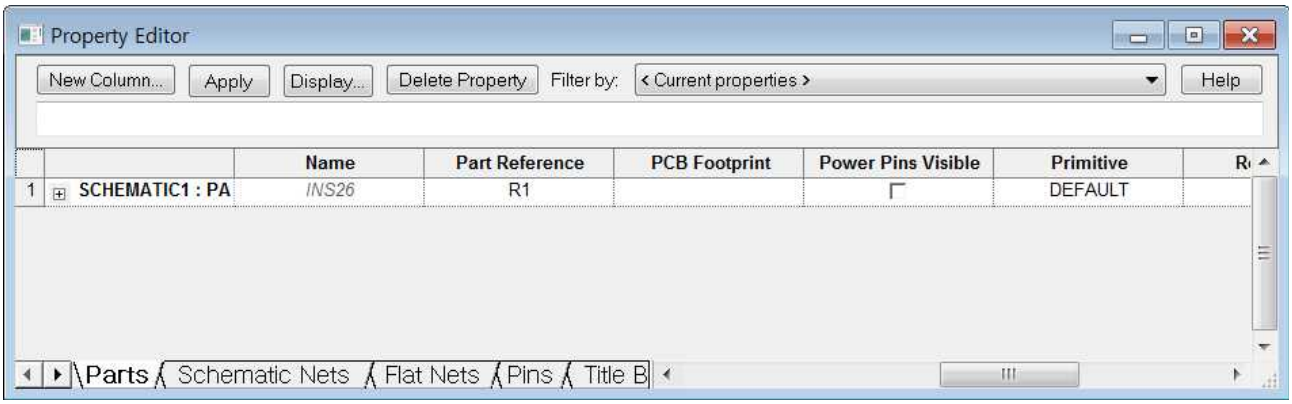

Place Power
Symbol:
VCC
VCC/CAPSYM
VCC_ARROW/CAPSYM
VCC_BAR/CAPSYM
VCC_CIRCLE/CAPSYM
VCC_WAVE/CAPSYM
Libraries:
CAPSYM
Design Cache
SOURCE
VCC
Name:
VCC
OK
Cancel
Add Library...
Remove Library
Help

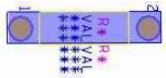
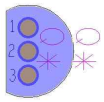

Place Power
Symbol:
GND
$D_HI/SOURCE
$D_LO/SOURCE
0/CAPSYM
0/SOURCE
GND/CAPSYM
Libraries:
CAPSYM
Design Cache
SOURCE
Name:
GND
OK
Cancel
Add Library...
Remove Library
Help


VCC
R1
R
R2
R
R3
R
R4
R
C1
CAP POL
C2
CAP POL
D1
LED
D2
LED
Q1
NPN ECB
Q2
NPN ECB

3 PCB Footprint 부여

(1) PCB 설계를 하기 위해서는 Schematic 부품의 속성 중 PCB Footprint 항목을 반드시 지정해 주어야 한다. 속성(Property)창은 부품을 더블클릭하면 나타난다.



부품참조번호	부품명	기본 제공 PCB Footprint명	Footprint Symbol
R1~R4	R	RES400	
C1~C2	CAP POL	CAP196	
D1~D2	LED	CAP196	
Q1~Q2	NPN ECB	TO92	

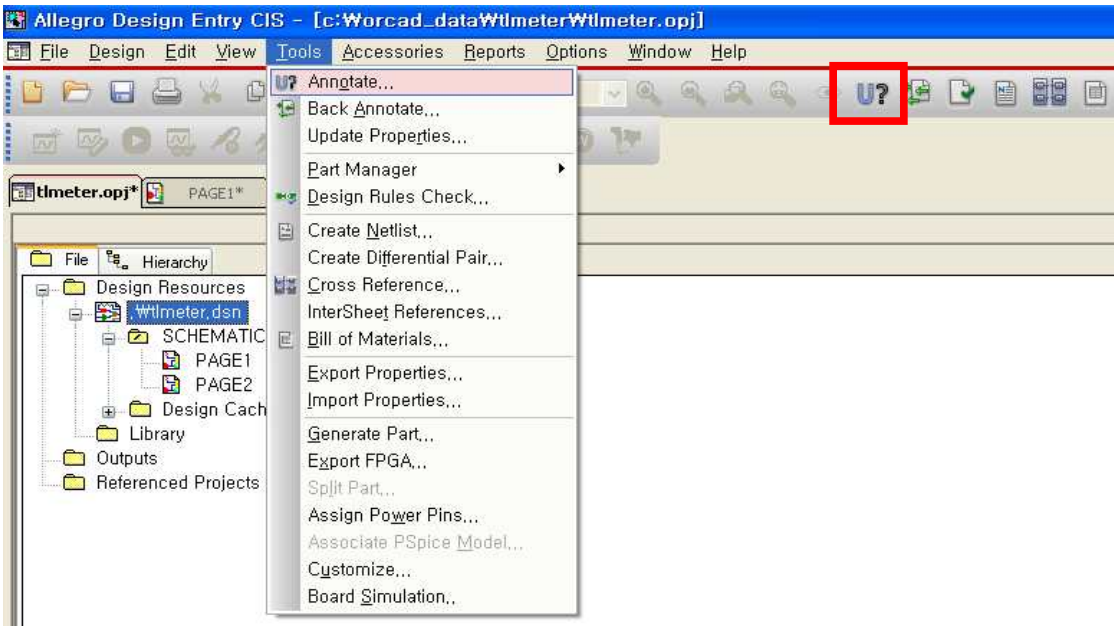
※ 위 Footprint는 부품리드가 PCB를 관통하여 실장되는 TM(Through-Hole Mount)형.

(2) 부품을 하나씩 더블클릭하여 PCB Footprint 속성을 입력하거나, 전체 부품을 선택하여 PCB Footprint 속성을 빠짐없이 입력한 후, 속성창을 닫는다.

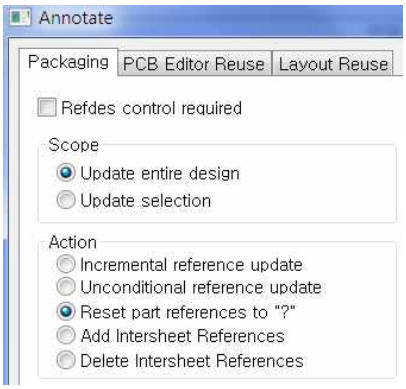
		Location Y-Coordinat	Name	Part Reference	PCB Footprint	Power Pins Visible	Primitive	PspiceTempla
1	SCHEMATIC1 : PA	100	INS74	R4	RES400	☐	DEFAULT	
2	SCHEMATIC1 : PA	100	INS58	R3	RES400	☐	DEFAULT	
3	SCHEMATIC1 : PA	100	INS42	R2	RES400	☐	DEFAULT	
4	SCHEMATIC1 : PA	100	INS26	R1	RES400	☐	DEFAULT	
5	SCHEMATIC1 : PA	280	INS201	Q2	TO92	☐	DEFAULT	Q^@REFDES %C
6	SCHEMATIC1 : PA	280	INS183	Q1	TO92	☐	DEFAULT	Q^@REFDES %C
7	SCHEMATIC1 : PA	200	INS156	D2	CAP196	☐	DEFAULT	
8	SCHEMATIC1 : PA	200	INS140	D1	CAP196	☐	DEFAULT	
9	SCHEMATIC1 : PA	160	INS115	C2	CAP196	☐	DEFAULT	
10	SCHEMATIC1 : PA	160	INS99	C1	CAP196	☐	DEFAULT	

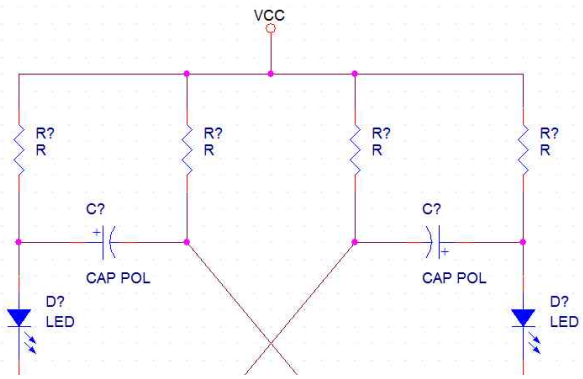
4 Annotate / Design Rules Check / Netlist 생성

(1) Annotate(부품참조번호 자동부여) 실행을 위해서 프로젝트 매니저창을 활성화 시킨 다음, 메뉴바 Tools - Annotate...를 선택한다.



(2) Annotate창의 Action 항목에서 Reset part reference to "?"를 체크한 후 확인 버튼을 선택한다(연속 확인/OK). 도면의 부품참조번호가 모두 ?로 바뀐다.

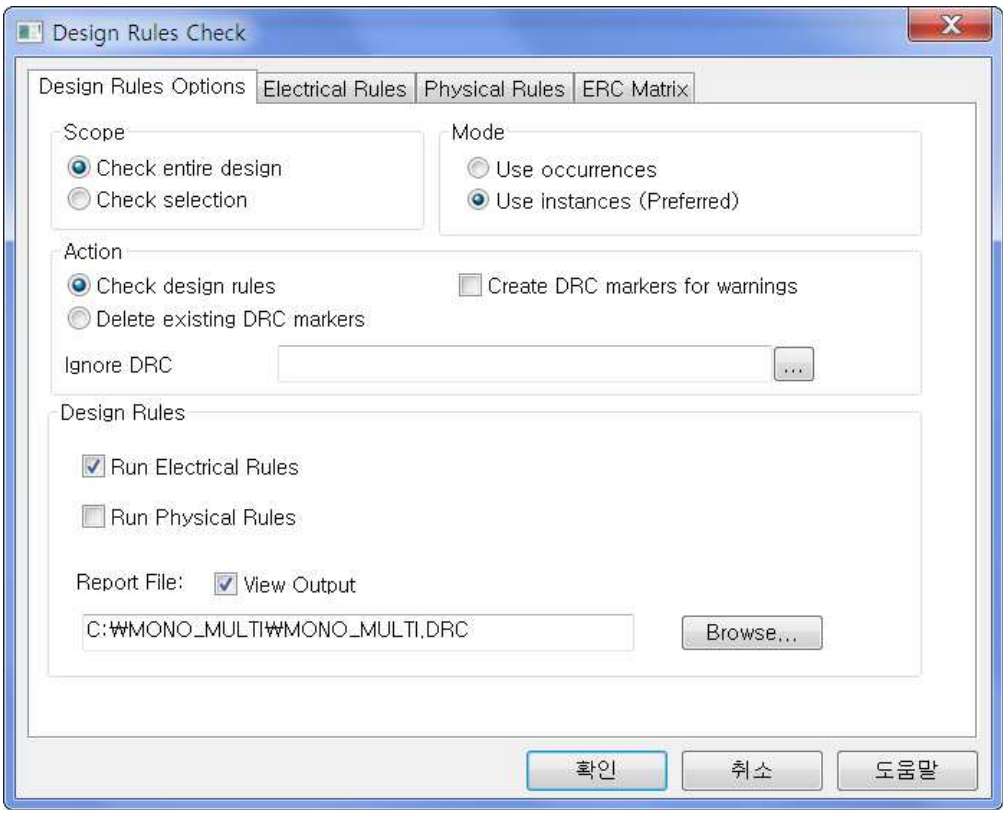




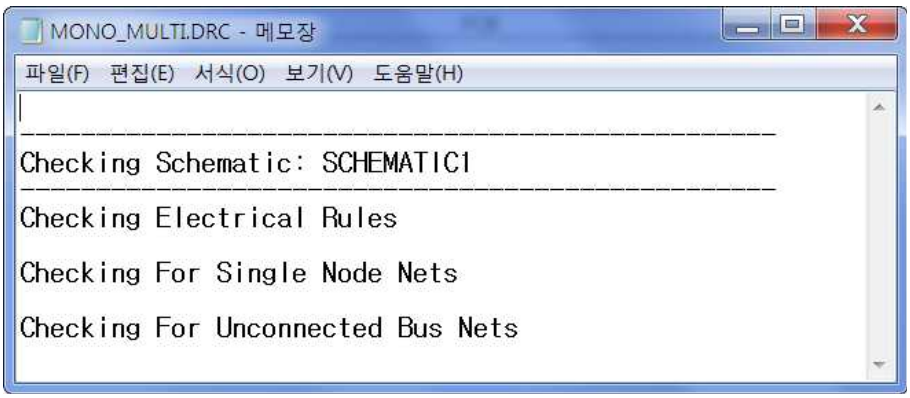
(3) 다시 Annotate창을 띄운 다음, Action항목에서 Incremental reference update를 체크한 후 확인버튼을 선택한다(연속 확인/OK). 도면의 부품참조번호를 새롭게 정열하여 부여한다.

(4) 다음은 도면의 전기적인 검사를 하기위한 DRC(Design Rules Check) 실행을 위해서 프로젝트 매니저창을 활성화 시킨 다음, 메뉴바 Tools - Design Rules Check...를 선택한다.

(5) 검사결과를 보기 위해서 Design Rules Check창에서 Design Rules 항목의 View Output 체크박스에 체크한 후 확인 버튼을 선택한다.

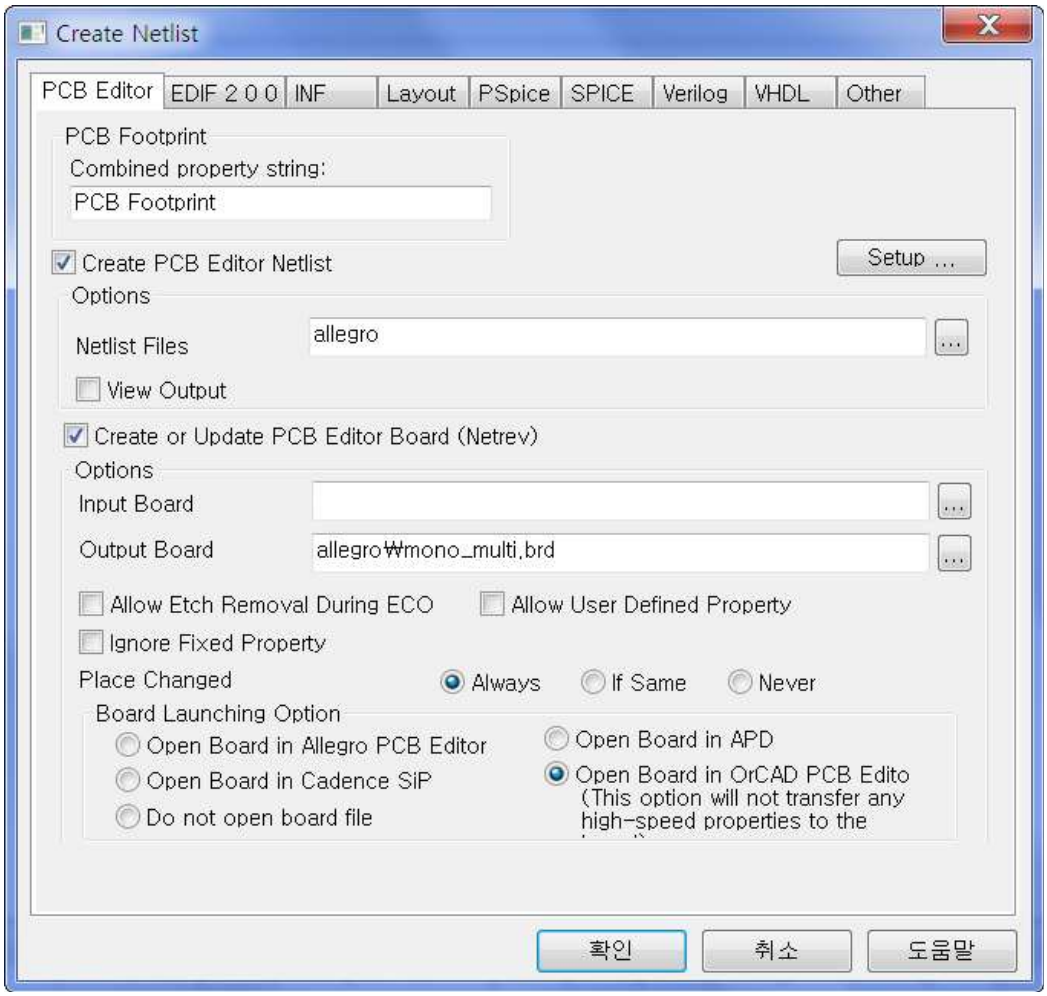


(6) 검사항목과 에러가 기록되는 실행 결과의 메시지창이 열린다.



(7) PCB 설계를 하기 위한 Netlist 생성을 위해서 프로젝트 매니저창을 활성화 시킨 다음, 메뉴바 Tools - Create Netlist...를 선택한다.

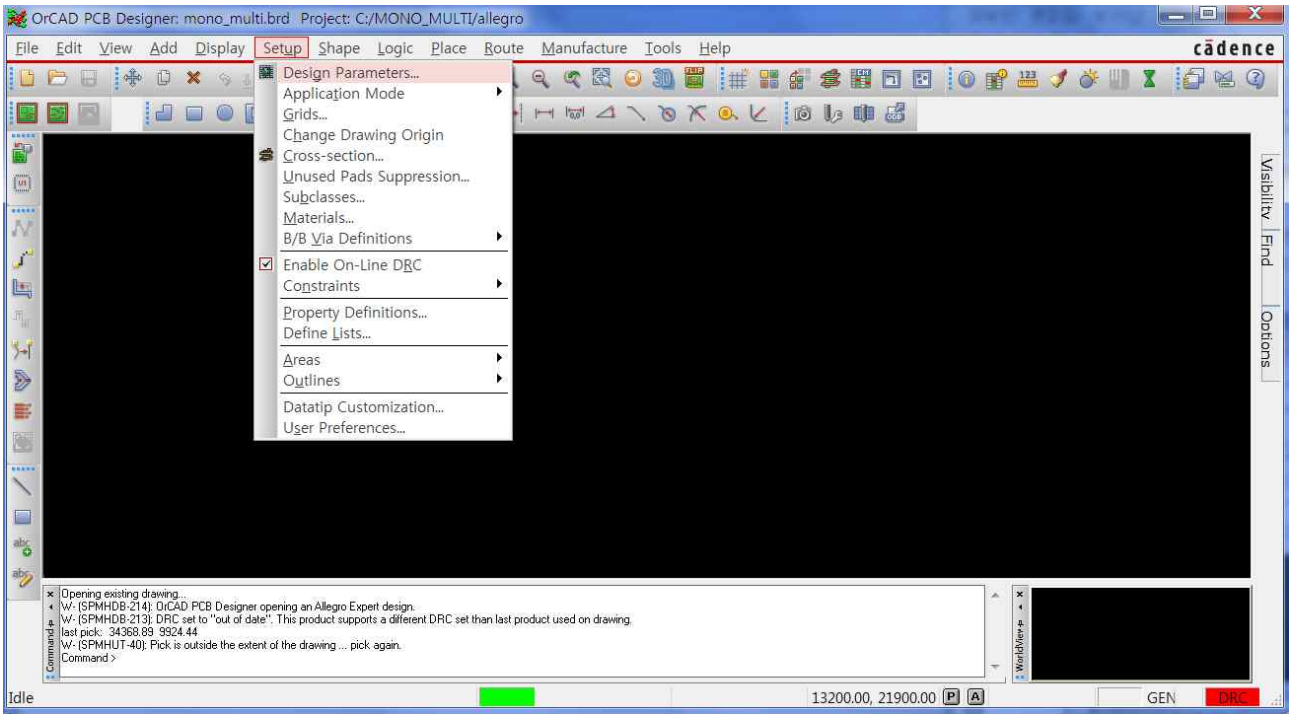
(8) Create Netlist창의 PCB Editor 탭메뉴의 Create or Update PCB Editor Board(Netrev) 체크박스에 체크하고, Open Board in OrCAD PCB Editor(또는 Open Board in Allegro PCB Editor : PC에 설치되어 있는 프로그램이 OrCAD 또는 Allegro 인지를 확인해야 한다)에 체크한 후 확인 버튼을 선택한다.(연속 예/OK)



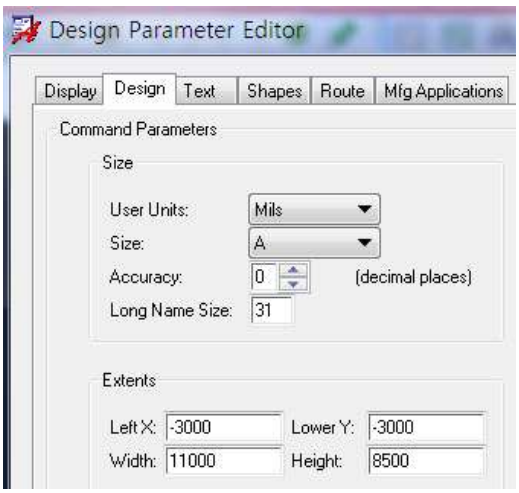
(9) PCB Editor창이 뜨는 것을 확인한다.

5 PCB 설계 Setup

(1) PCB 설계를 하기 위한 전반적인 Setup을 위해서 OrCAD PCB Designer(또는 Allegro PCB Editor)창의 메뉴바 Setup - Design Parameters...를 선택한다.

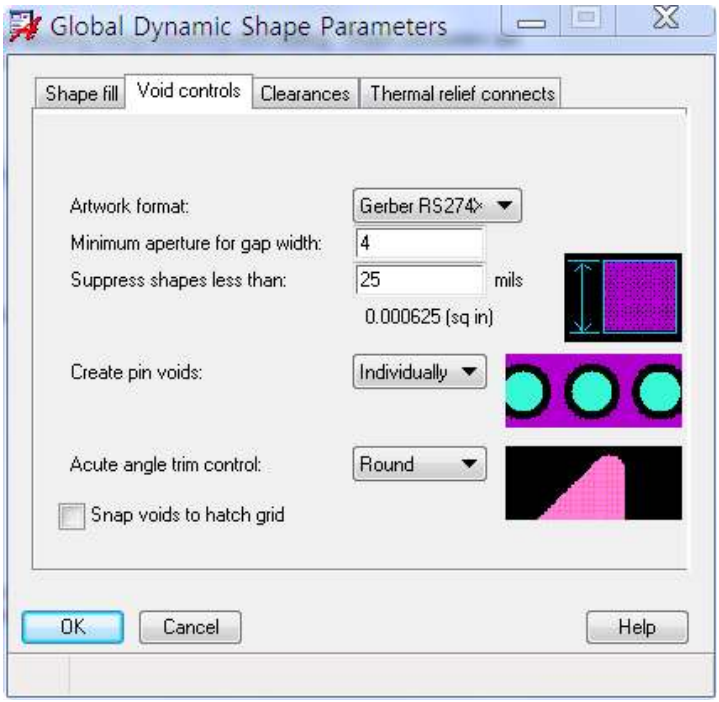


(2) Design 탭메뉴에서 단위 Mils, Size A, Accuracy 0, Extents 항목의 Left X -3000, Lower Y -3000 으로 설정 및 입력한 후 Shapes 탭메뉴로 이동한다.



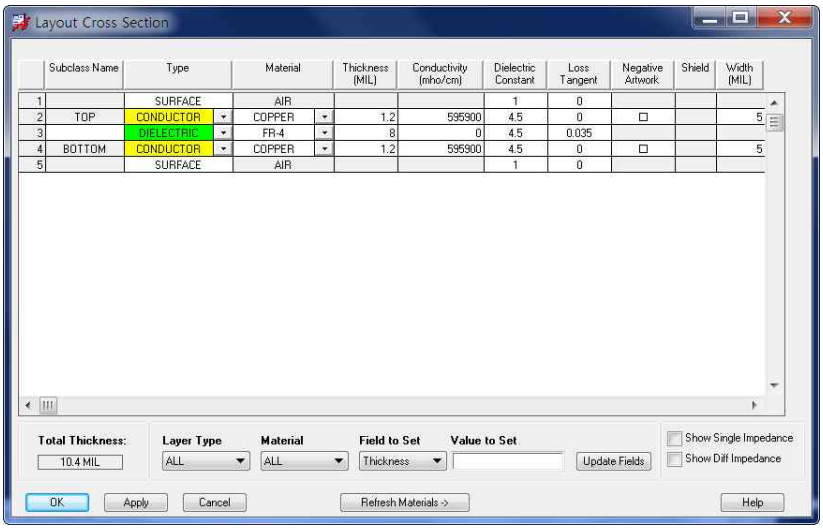
(3) Shape 탭메뉴로 이동 후 Edit global dynamic shape parameters...를 선택한다.

(4) Global Dynamic Shape Parameters창이 나타나면 Void controls 탭메뉴로 이동하여 Artwork format을 Gerber RS274X로 변경한 후 OK 버튼을 선택한다.

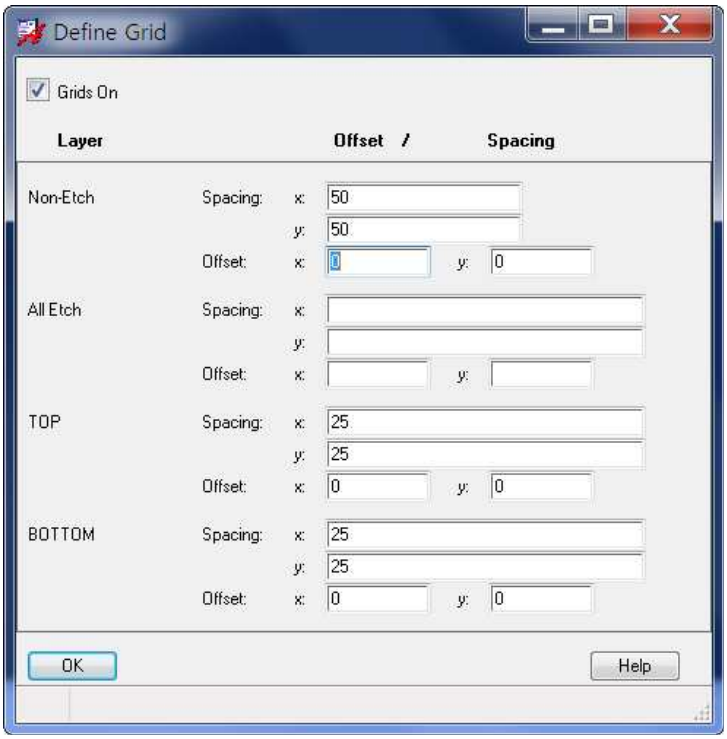


(5) Design Parameter Editor창의 OK 버튼을 선택하여 창을 닫는다.

(6) PCB 설계 층수를 확인하기 위해서 메뉴바 Setup - Cross-Section...를 선택한 후 기본 설정값인 2층 Layer를 확인한다.



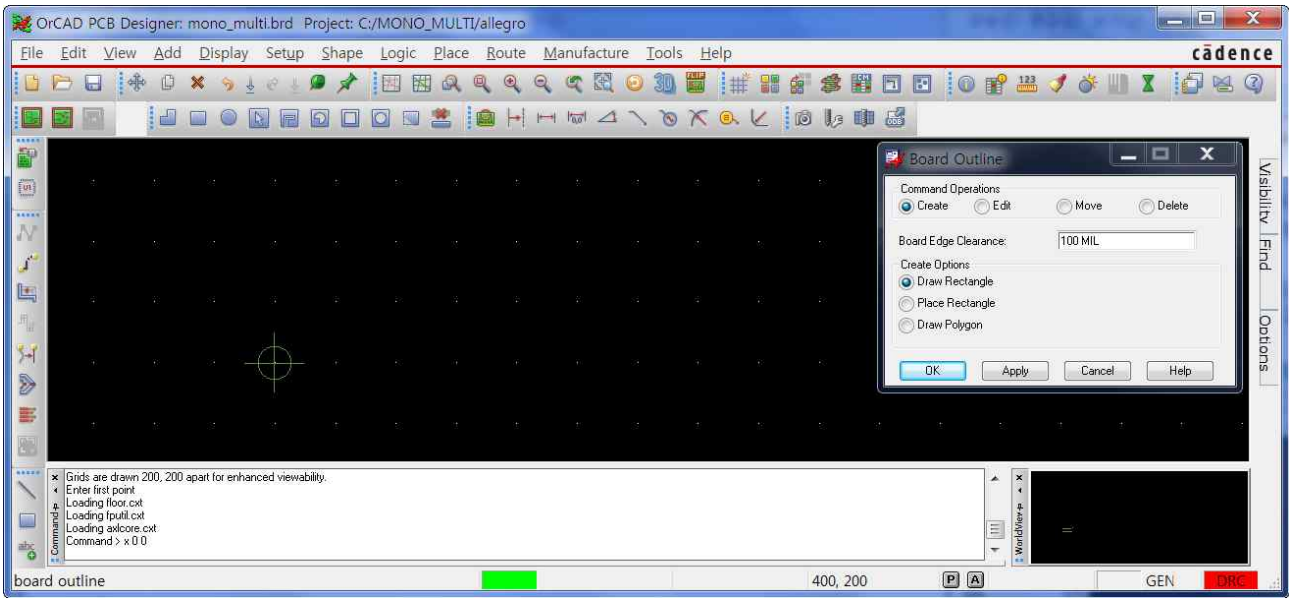
(7) Grid의 설정을 위해서 메뉴바 Setup - Grids...를 선택한 후 Grids On 체크박스에 체크하고, Non-Etch의 Spacing x, y를 50으로 변경한 후 OK 버튼을 선택한다.



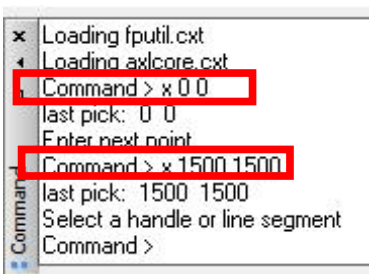
6 Board Outline 생성

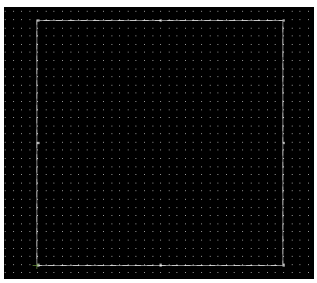
(1) 보드 아웃라인을 생성하기 위해서 메뉴바 Setup - Outlines - Board Outline...를 선택한 후 Board Outline창의 Board Edge Clearance를 100 MIL로 변경한 후 그대로 창을 유지한다.

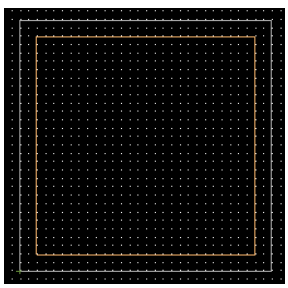
(2) Board outline 창이 반드시 떠 있는 상태에서 Command창에 소문자 x, 한 칸 띄우고, 숫자 0, 한 칸 띄우고 숫자 0를 입력한 후 enter키를 누른다.(사각형이 시작됨)



(3) 0, 0 지점에서 사각형이 시작되는 것을 확인한 후, 다시 Command창에 소문자 x, 한 칸 띄우고, 숫자 1500, 한 칸 띄우고, 숫자 1500을 입력한 후 enter키를 누른다.(사각형이 완성됨)





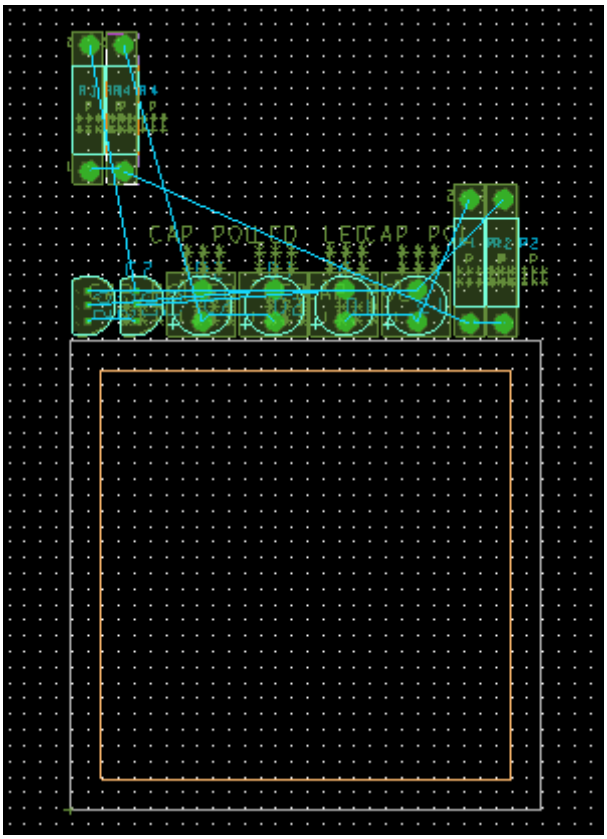


(4) Board Outline창의 OK 버튼을 선택하여 보드 아웃라인 생성을 완료한다.

※ 최외곽 흰색 라인 : 보드 아웃라인, 주황색 라인 : 배치/배선 제한 영역

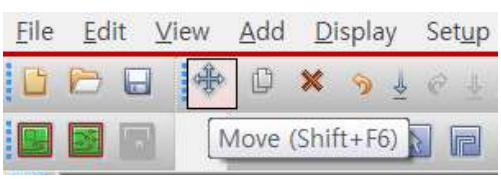
7 부품 배치/배선

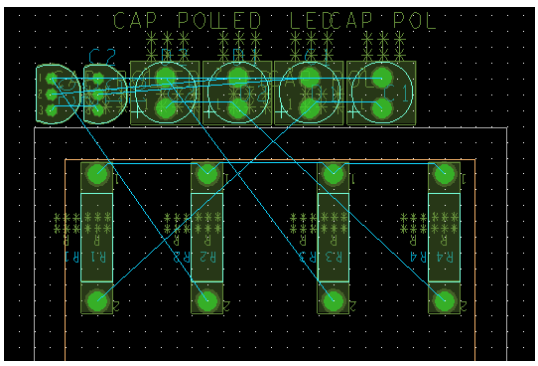
(1) Place 메뉴를 이용하여 부품을 배치하기 위해서 메뉴바 Place - Quickplace...를 선택한 후 Quickplace창 아래의 Place 버튼을 선택한 후 OK 버튼으로 창을 닫는다.



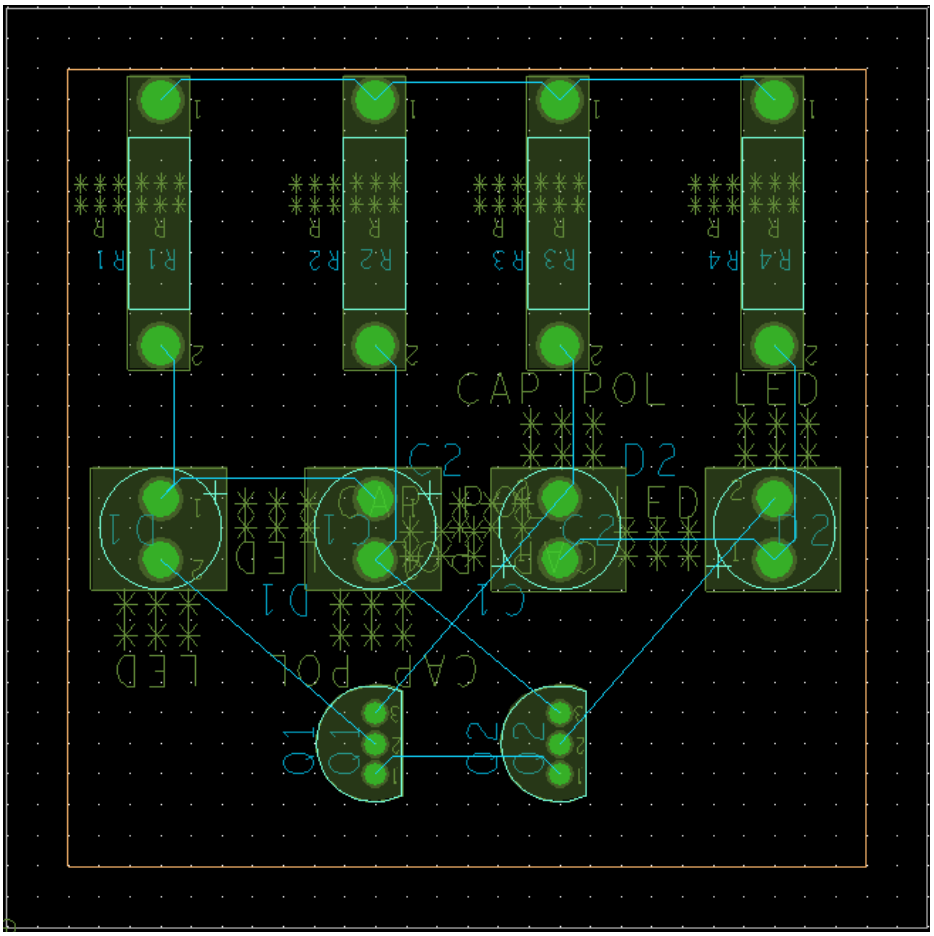
(2) 툴바의 Move 아이콘을 선택한 후 R1을 선택하면 부품이 마우스를 따라 움직이며, 마우스 팝업 메뉴의 Rotate를 활용하여 배치한 후 동일한 방법으로 부품을 배치 완료한다.(move 중 회전은 Rotate, 배치 후 회전은 Spin)

※ Rotate/Spin 명령 후 회전을 원하는 각도로 마우스로 조정



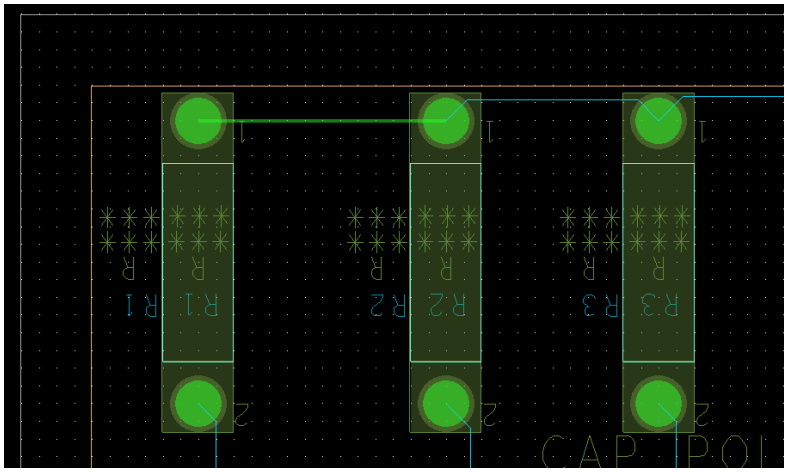


(3) 배치가 완료되면 항상 마우스 팝업 메뉴의 Done을 선택하여 명령을 종료한다. 그렇지 않으면 다음 명령을 실행하지 못한다.



(4) 부품 배치가 완료된 후 배선을 위해서 메뉴바 Route - Connect를 선택한다.

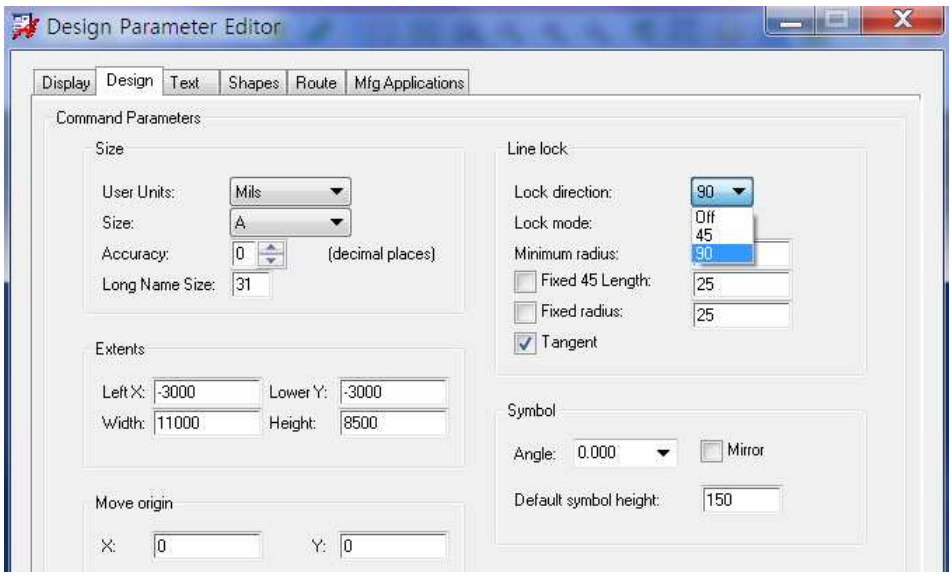
(5) 파란색 Ratsnest(렛츠네스트) 라인이 연결된 대로 R1의 핀을 클릭하면 마우스를 따라 배선이 이어지며, R2의 핀을 클릭한 다음 마우스 팝업 메뉴의 Done을 선택하면 연결되어 있던 Ratsnest 라인이 사라지면서 녹색의 배선으로 연결이 완료된다.

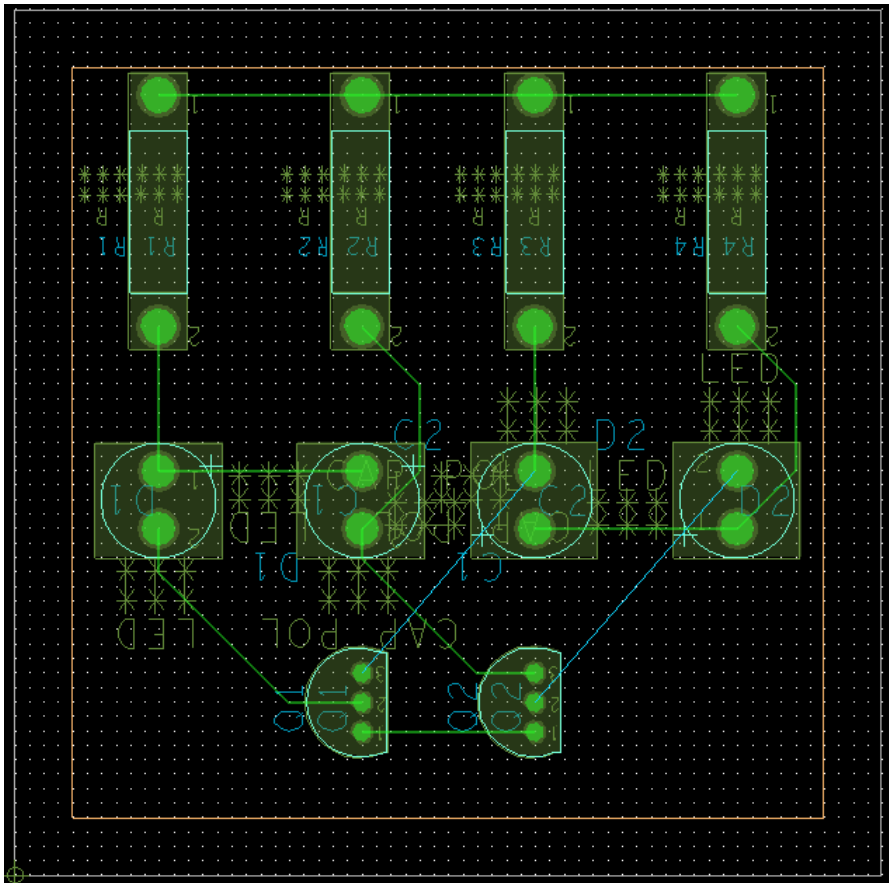


(6) 동일한 방법으로 다음과 같이 배선한다.(TOP Layer에 배선 중)

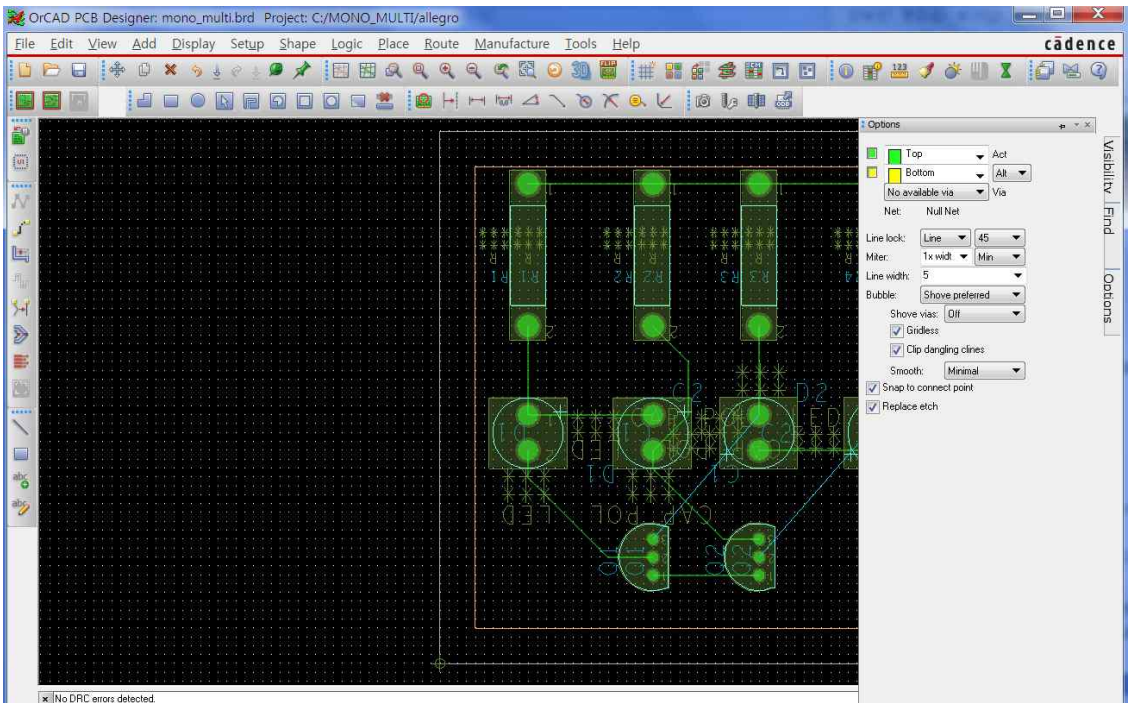
※ 배선 Width 및 Spacing은 기본값으로 한다.(5mil)

※ 배선의 각도 조절은 메뉴바 Setup - Design Parameter... 선택 후 Design 탭메뉴의 Line lock 항목의 Lock direction에서 변경 가능하다.

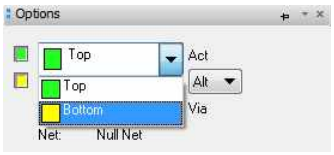




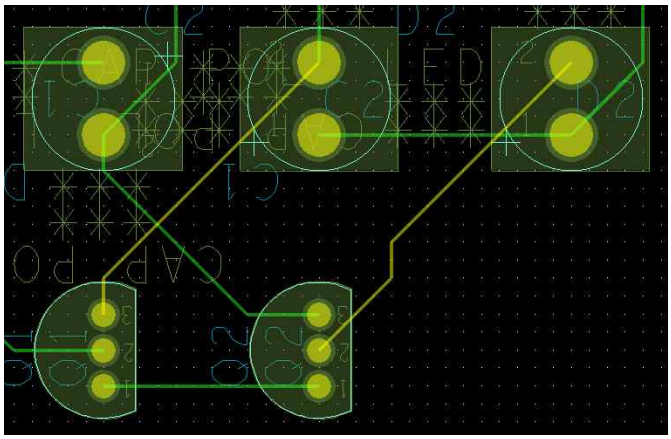
(7) 메뉴바 Route - Connect 선택 후 마우스를 화면 오른쪽으로 이동하여 아래와 같이 오른쪽에 Option 항목창이 나타나도록 한다.

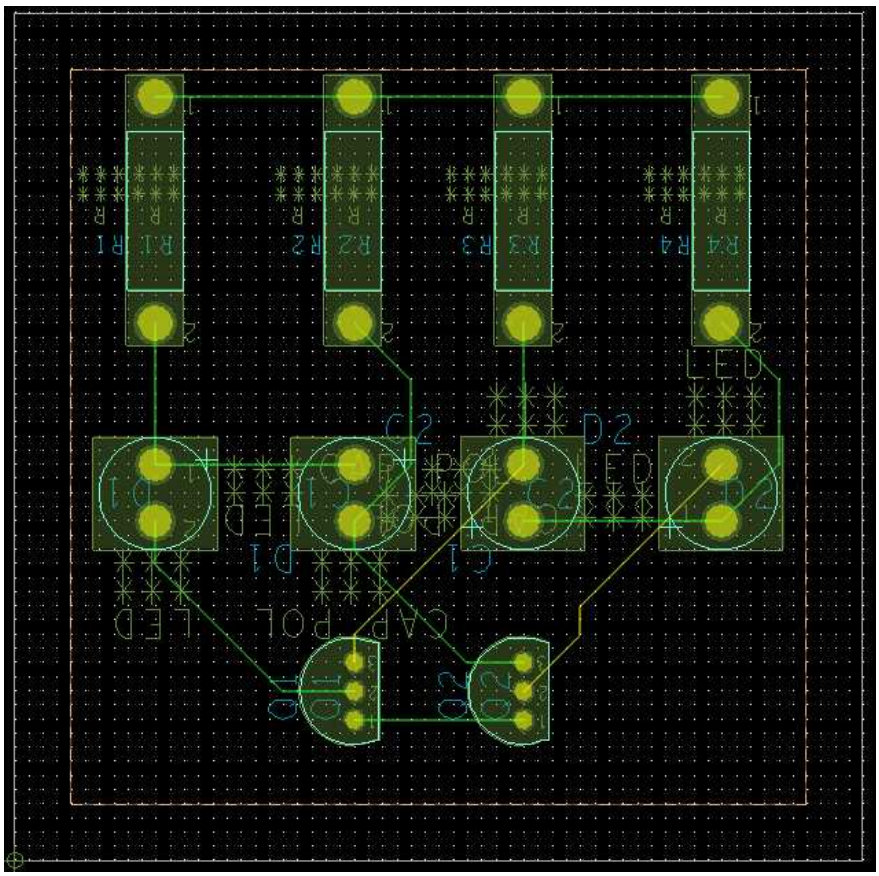


(8) 그런 다음 상단 Act 필드에서 Top을 Bottom으로 변경한다.(Bottom layer 배선설정)

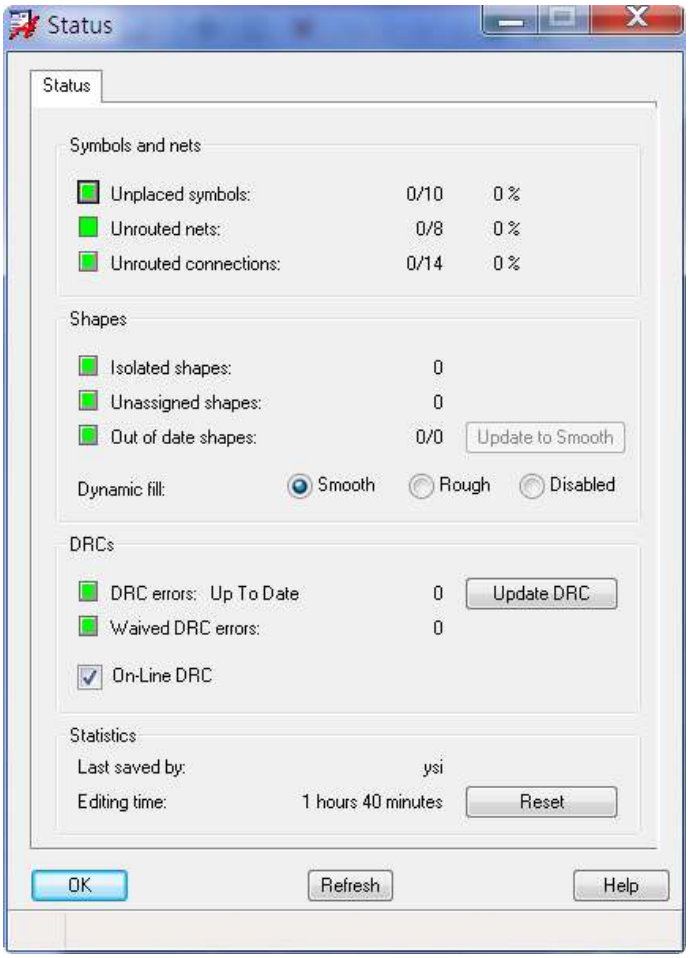


(9) Q1, Q2의 나머지 Ratsnest를 배선한다.





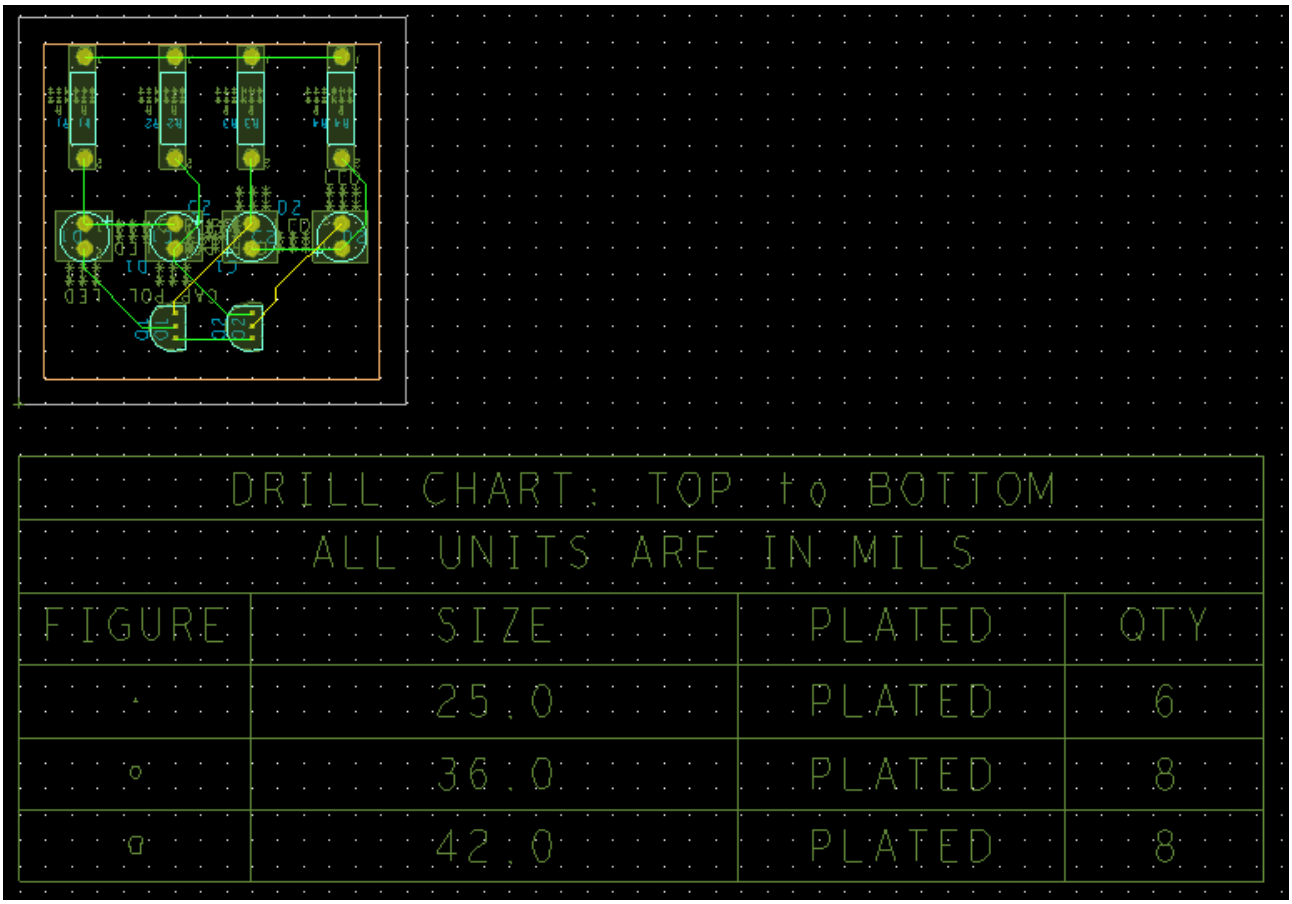
(10) 배치 및 배선 결과를 하기 위해서 메뉴바 - Display - Status...를 선택하여 Unplaced symbol 및 Unrouted nets 항목 등이 0% 인지를 확인한 후 OK 한다.



8 Gerber File 생성

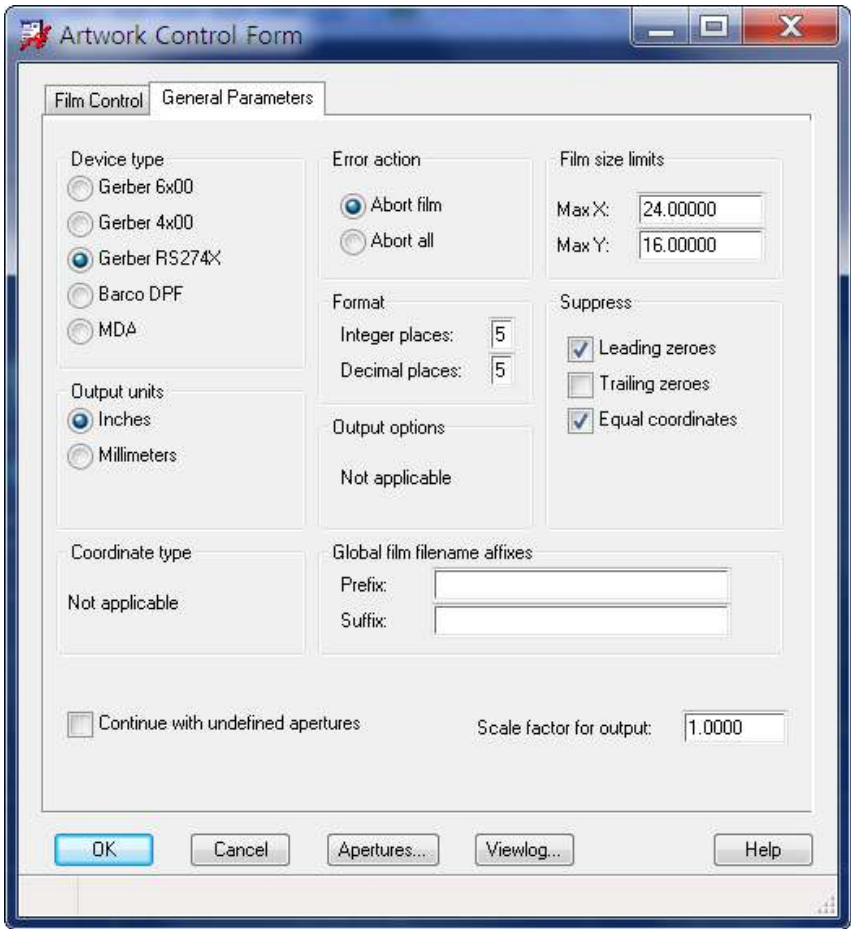
(1) 먼저 드릴 차트부터 생성하기 위해서 메뉴바 Manufacture - NC - Drill Legend...를 선택한다.

(2) Drill Legend창이 나타나면 OK 버튼을 선택한다. 드릴 차트가 마우스에 따라 이동하며 보드 아웃라인 아래쪽에 클릭하여 배치 완료한다.

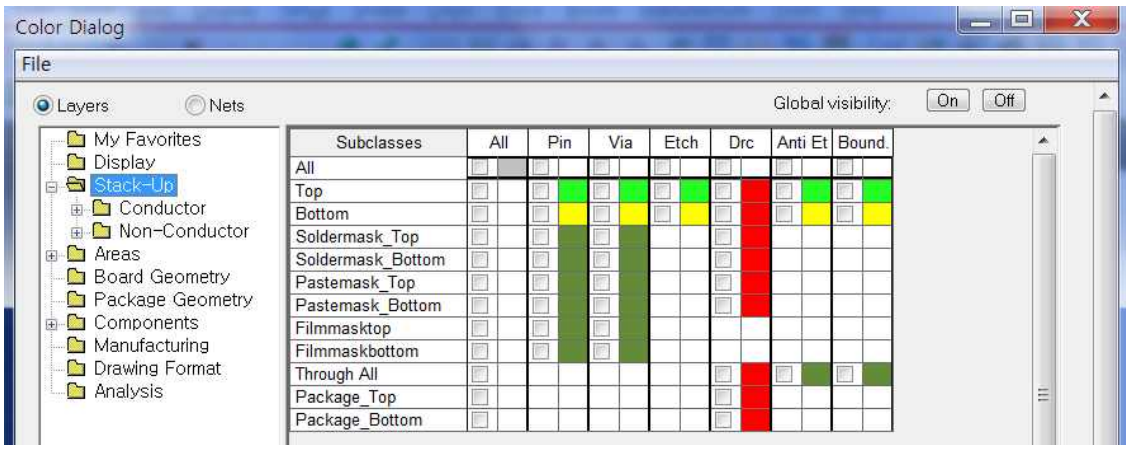


(3) Gerber file(Artwork Film)을 생성하기 위해서 메뉴바 Manufacture - Artwork...을 선택한다. Artwork Control Form창이 나타나며 General Parameters 탭메뉴로 이동한다.

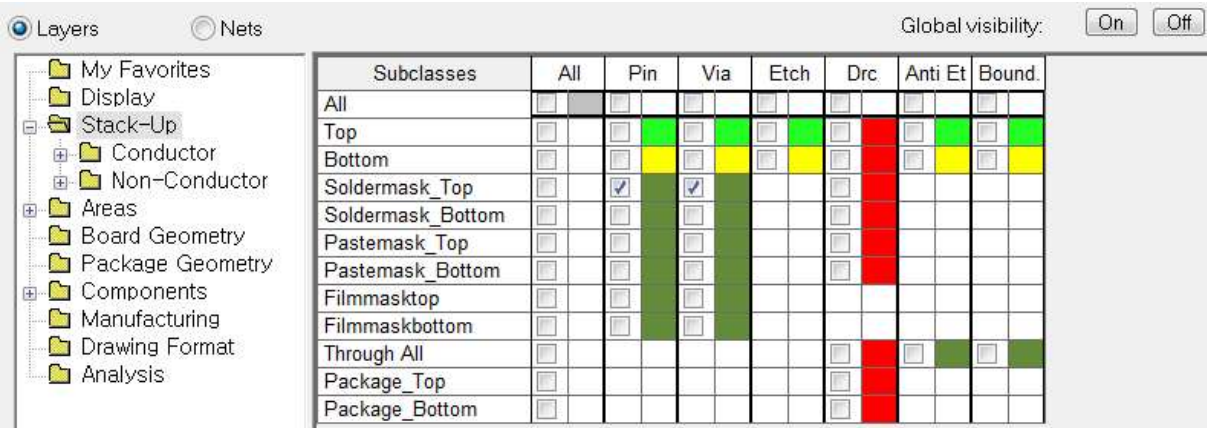
(4) Device type 항목에서 Gerber RS274X를 체크하고, Format 항목의 Decimal places 를 5로 변경한 후 Film Control 탭메뉴로 다시 이동한 후 창을 유지한다.



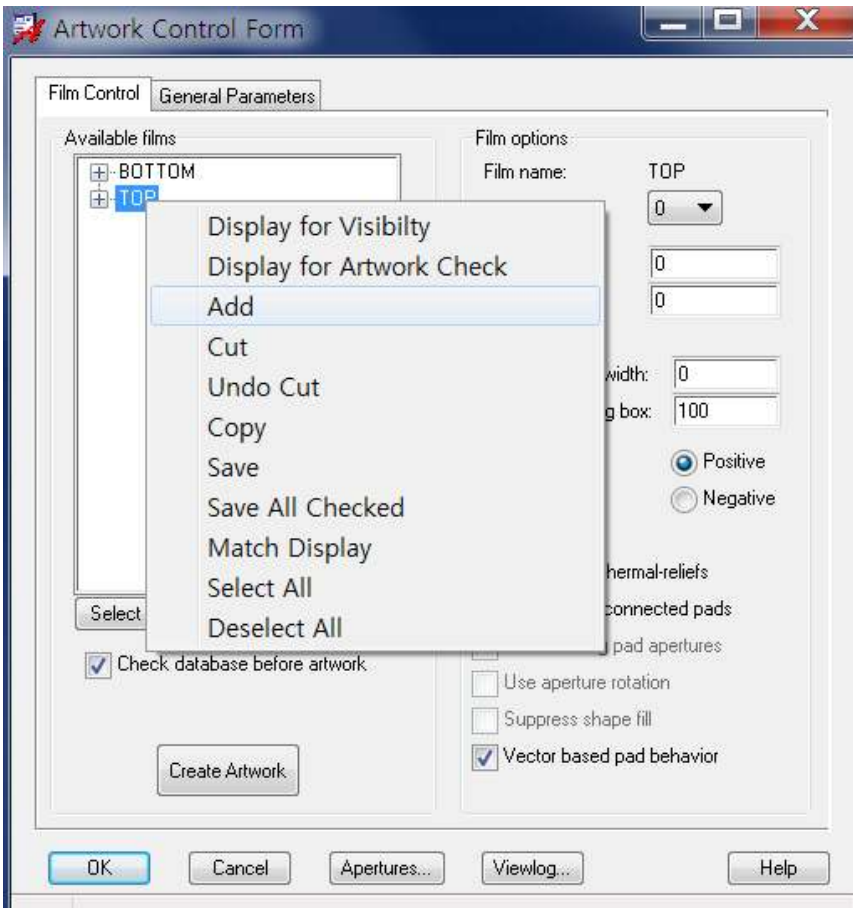
(5) 메뉴바 Display - Color/Visibility...를 선택하여 Color Dialog 창이 나타나면 상단의 Global visibility On/Off 스위치 중 Off 버튼을 선택한 후 Apply 버튼을 선택한다.(Color Dialog창을 닫지 않고 유지한다)



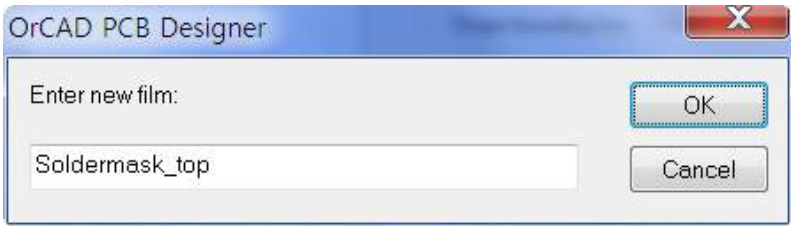
(6) Color Dialog창에서 왼쪽의 Stack-Up 폴더를 선택한 후, 오른쪽 Subclasses 항목 중 Soldermask_Top의 Pin, Via 항목을 체크한 후 Apply 버튼을 선택한 다음 OK 버튼을 선택하여 Color Dialog창을 닫는다.



(7) Artwork Control Form창의 Top을 선택 후 마우스 팝업 메뉴의 Add를 선택한다.

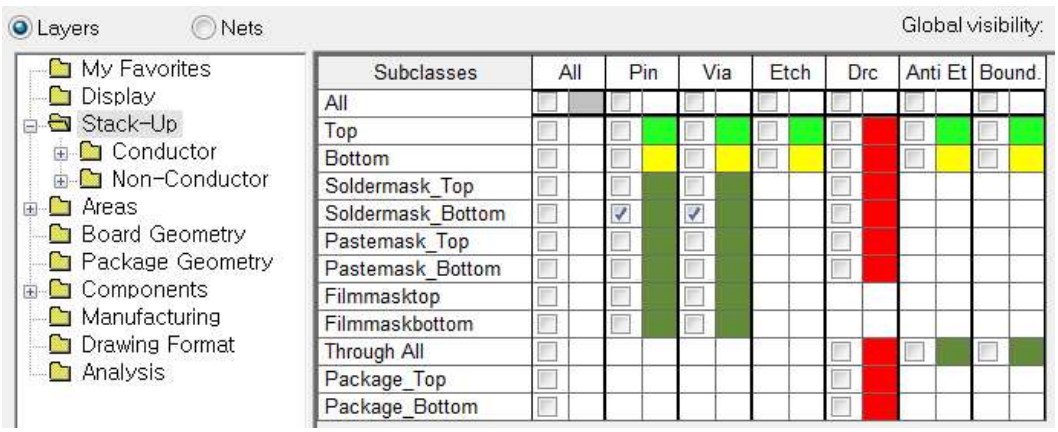


(8) Soldermask_top 이라고 입력한 후 OK 버튼을 선택한다.(대・소문자 무관)



(9) 다시 메뉴바 Display - Color/Visibility...를 선택하여 Color Dialog 창이 나타나면 상단의 Global visibility On/Off 스위치 중 Off 버튼을 선택한 후 예, Apply 버튼을 선택한다.(Color Dialog창을 닫지 않고 유지한다)

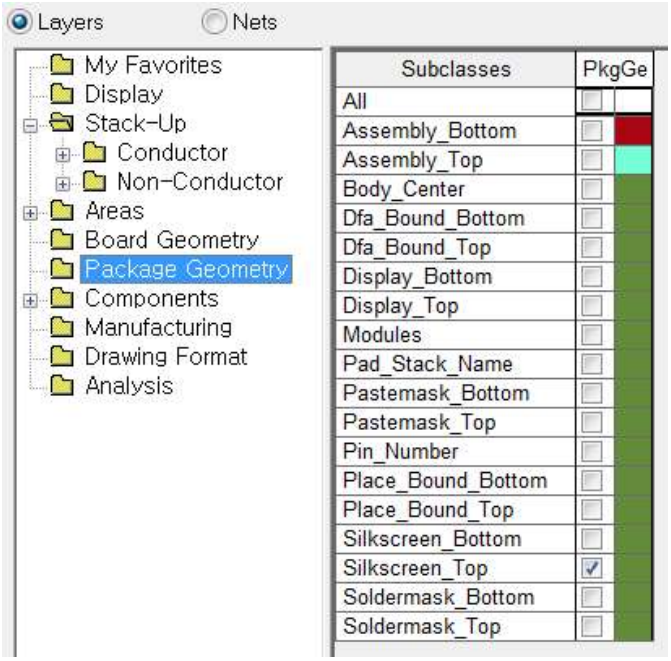
(10) Color Dialog창에서 왼쪽의 Stack-Up 폴더를 선택한 후, 오른쪽 Subclasses 항목 중 Soldermask_Bottom의 Pin, Via 항목을 체크한 후 Apply 버튼을 선택한 다음 OK 버튼을 선택하여 Color Dialog창을 닫는다.



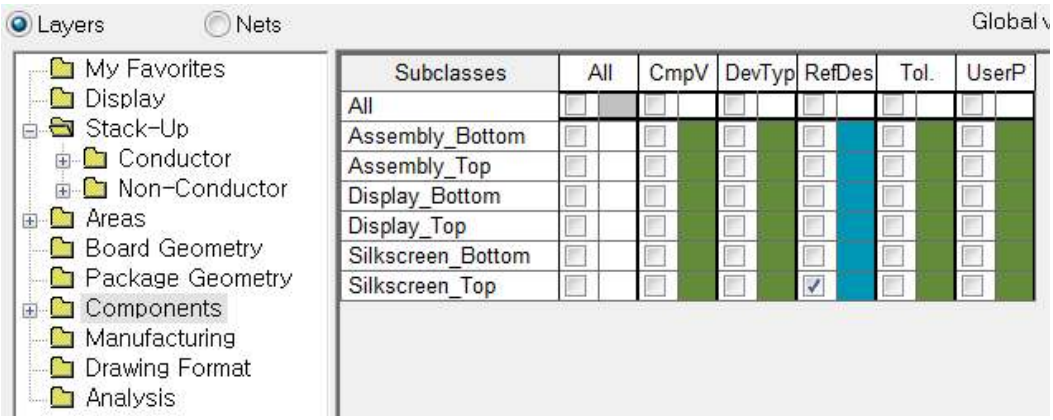
(11) Artwork Control Form창의 Soldermask_top을 선택 후 마우스 팝업 메뉴의 Add를 선택하여, Soldermask_Bottom 이라고 입력한 후 OK 한다.

(12) 다시 메뉴바 Display - Color/Visibility...를 선택하여 Color Dialog 창이 나타나면 상단의 Global visibility On/Off 스위치 중 Off 버튼을 선택한 후 예, Apply 버튼을 선택한다.(Color Dialog창을 닫지 않고 유지한다)

(13) Color Dialog창에서 왼쪽의 Package Geometry 폴더를 선택한 후, 오른쪽 Subclasses 항목 중 Silkscreen_Top을 체크한다.



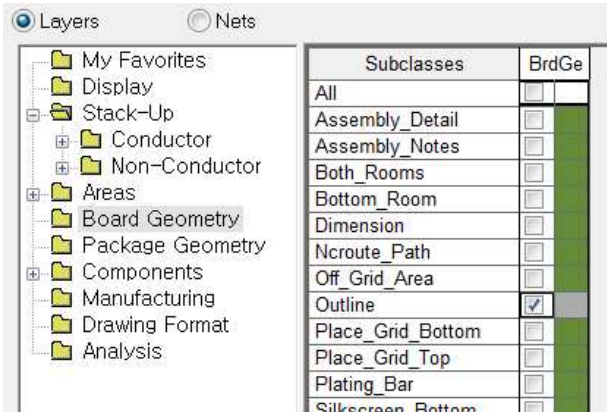
(14) Color Dialog창에서 왼쪽의 Components 폴더를 선택한 후, 오른쪽 Subclasses 항목 중 Silkscreen_Top의 RefDes 항목을 체크한 후 Apply, OK 버튼을 선택한다.



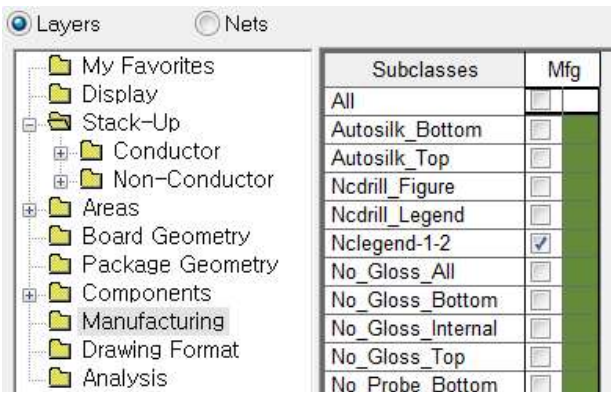
(15) Artwork Control Form창의 Soldermask_Bottom을 선택 후 마우스 팝업 메뉴의 Add를 선택하여, Silkscreen_top 이라고 입력한 후 OK 한다.

(16) 다시 메뉴바 Display - Color/Visibility...를 선택하여 Color Dialog 창이 나타나면 상단의 Global visibility On/Off 스위치 중 Off 버튼을 선택한 후 예, Apply 버튼을 선택한다.(Color Dialog창을 닫지 않고 유지한다)

(17) Color Dialog창에서 왼쪽의 Board Geometry 폴더를 선택한 후, 오른쪽 Subclasses 항목 중 Outline을 체크한다.



(18) Color Dialog창에서 왼쪽의 Manufacturing 폴더를 선택한 후, 오른쪽 Subclasses 항목 중 Nclegend-1-2를 체크한 후 Apply, OK 버튼을 선택한다.

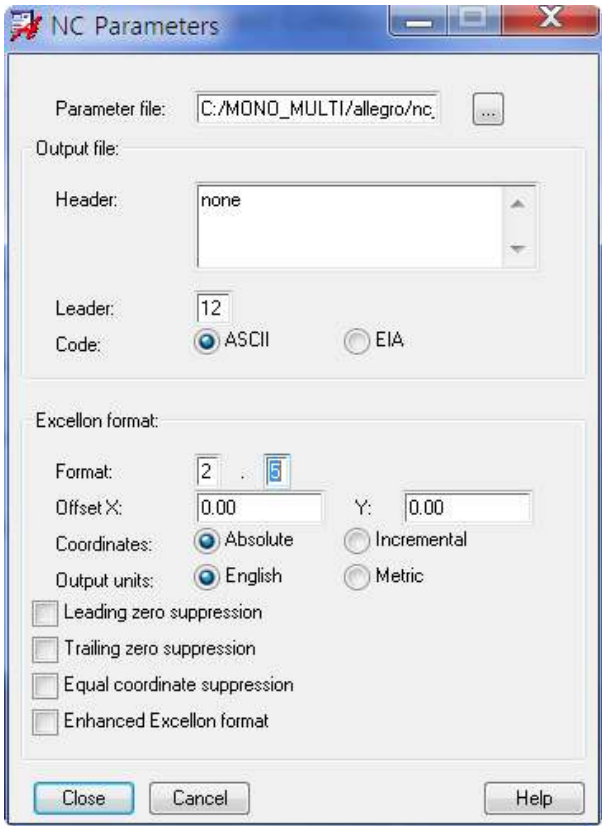


(19) Artwork Control Form창의 Silkscreen_top을 선택 후 마우스 팝업 메뉴의 Add를 선택하여, Drill_drawing 이라고 입력한 후 OK 한다.

(20) Select all 버튼을 선택한 후 Create Artwork 버튼을 선택한다. Gerber File이 생성되어지며, OK 버튼을 선택하여 Artwork Control Form창을 닫는다.

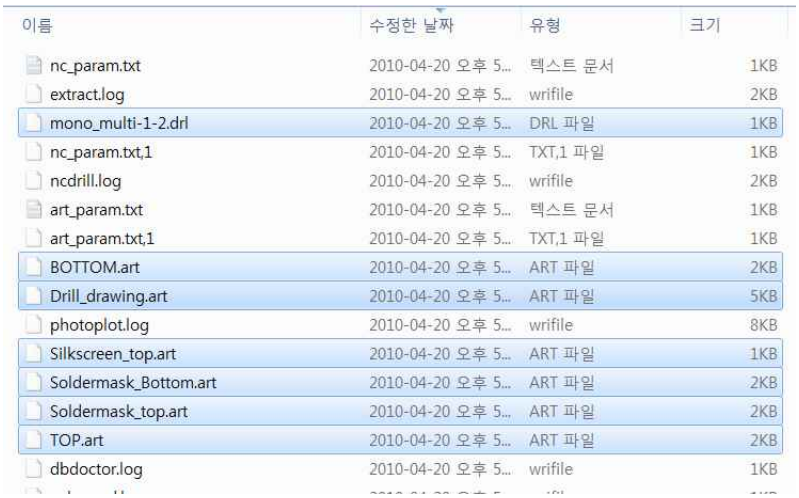
(21) NC-Drill 파일 생성을 위해서 메뉴바 - Manufacture - NC Drill...를 선택한다.

(22) NC Drill창에서 NC Parameters...버튼을 선택하여, Excellon format 항목의 format을 5로 수정한 후 Close 버튼을 선택한다.



(23) NC Drill창의 Drill 버튼을 선택하여 NC Drill 파일을 생성한 후 Close를 선택한다.

(24) 타이틀바의 저장 경로에 *.art 파일과 *.drl 파일의 Gerber file이 생성 완료되었다.



제 1 부

Design Entry CIS

1 New Project 생성

2 환경 설정

3 라이브러리 관리

4 부품 배치/배선

5 부품참조번호 자동부여

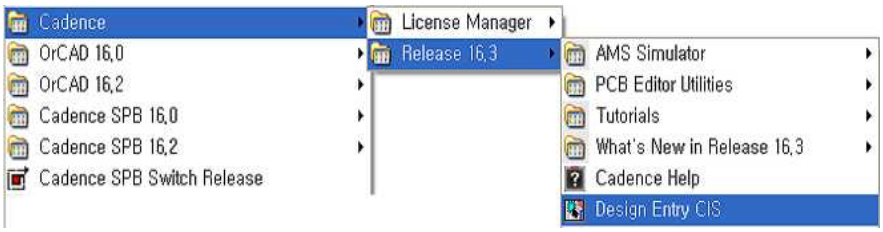
6 Design Rule Check

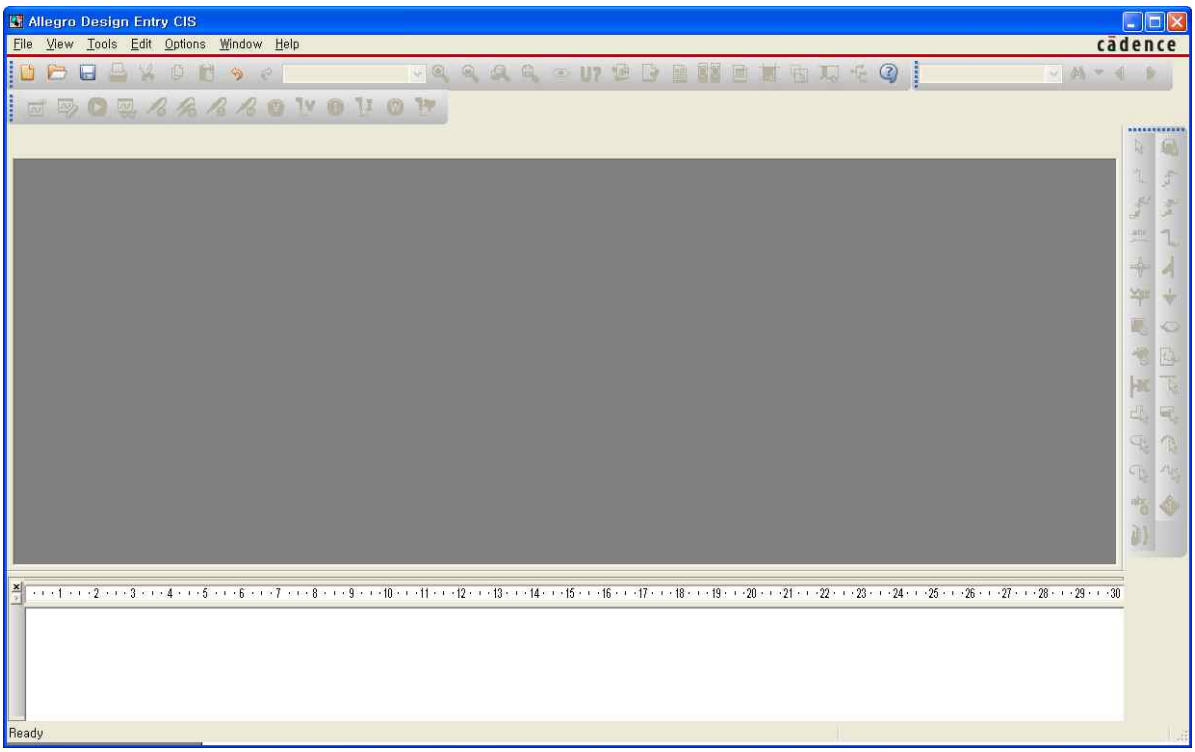
7 PCB Footprint 부여

8 Netlist 생성

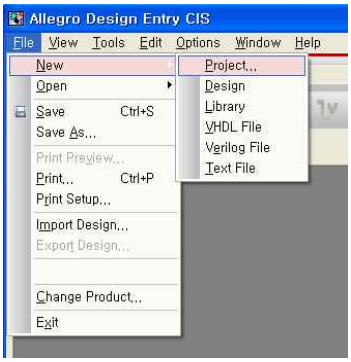
1 New Project 생성

■ Design Entry CIS 또는 OrCAD Capture 프로그램 실행





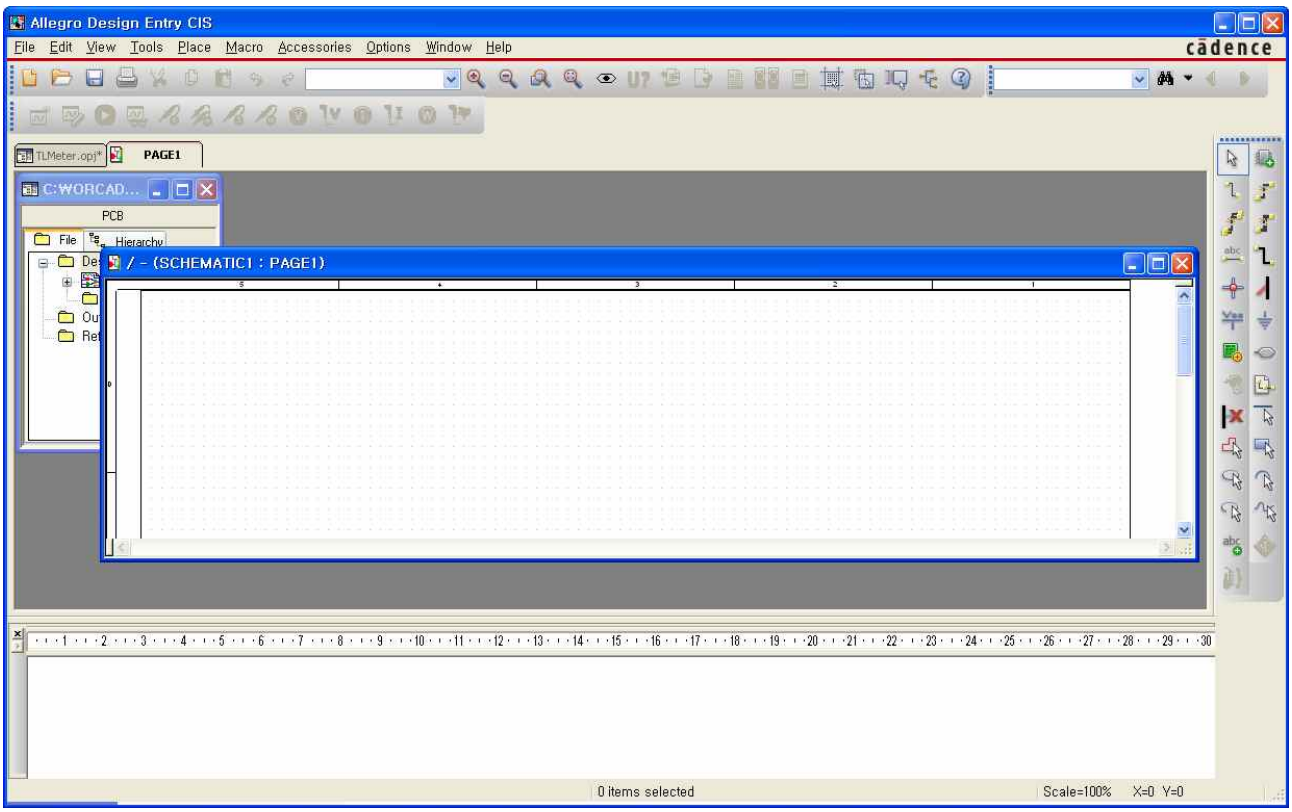
■ New Project 생성



File - New - Project...

- Analog or mixed A/D : Analog 또는 Digital 혼합회로 설계를 위한 Pspice Project option
- PC Board Wizard : A/D 또는 VHDL, Verilog를 이용한 회로 해석
- Programmable Logic Wizard : CPLD나 FPGA design, Digital simulate 를 한다
- Schematic : Schematic 작성용 Capture

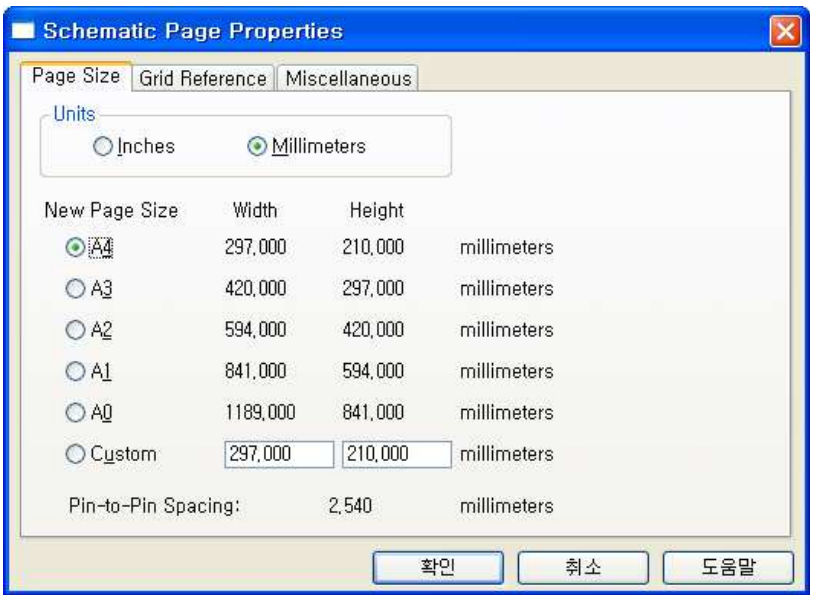
■ 기본 화면



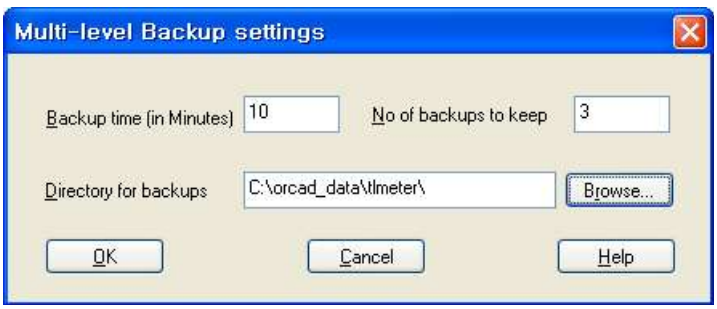
2 환경 설정

■ 도면 사이즈 설정

Options - Schematic Page Properties...



■ Autobackup 설정

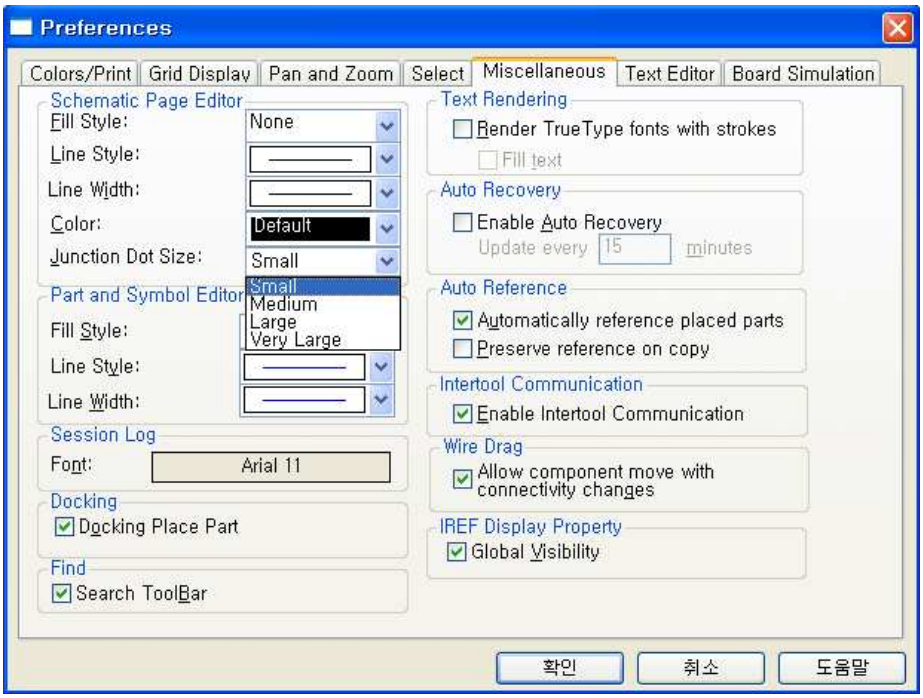


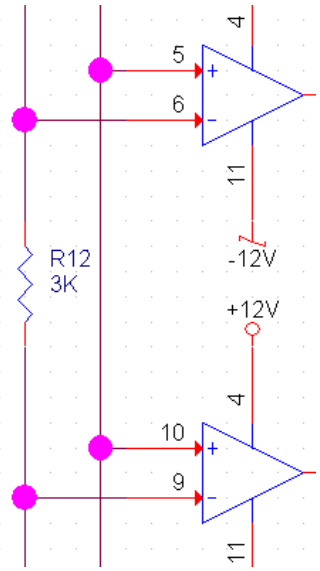
Options - Autobackup...

■ 기타 설정

Option - Preference... / Option - Design Templete...

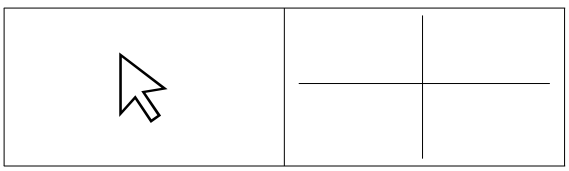
• Junction Dot Size 설정(Junction 아이콘)



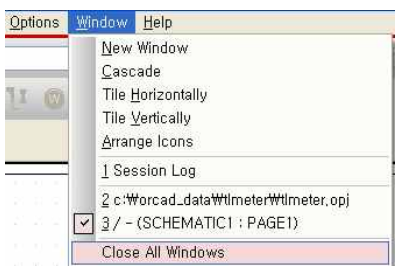


• Cross Hair Mode(설계 도면상의 마우스 커서 형태)

F6 Toggle ON/OFF



• 전체 창 Close 및 Page 이동(CTRL+Tab 키)



• Fullscreen Mode

설정	해제
CTRL+F8	Close Fullscreen button 클릭 또는 Esc

• Zoom/Pan

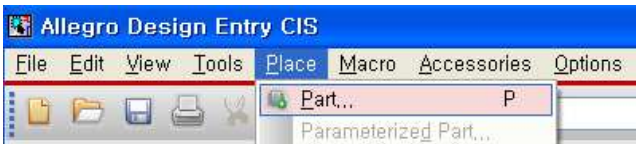
Zoom in	Pan
RMB 영역 Drag	1. 마우스 스크롤 버튼 클릭 2. 상/하/좌/우 이동

■ File 확장자

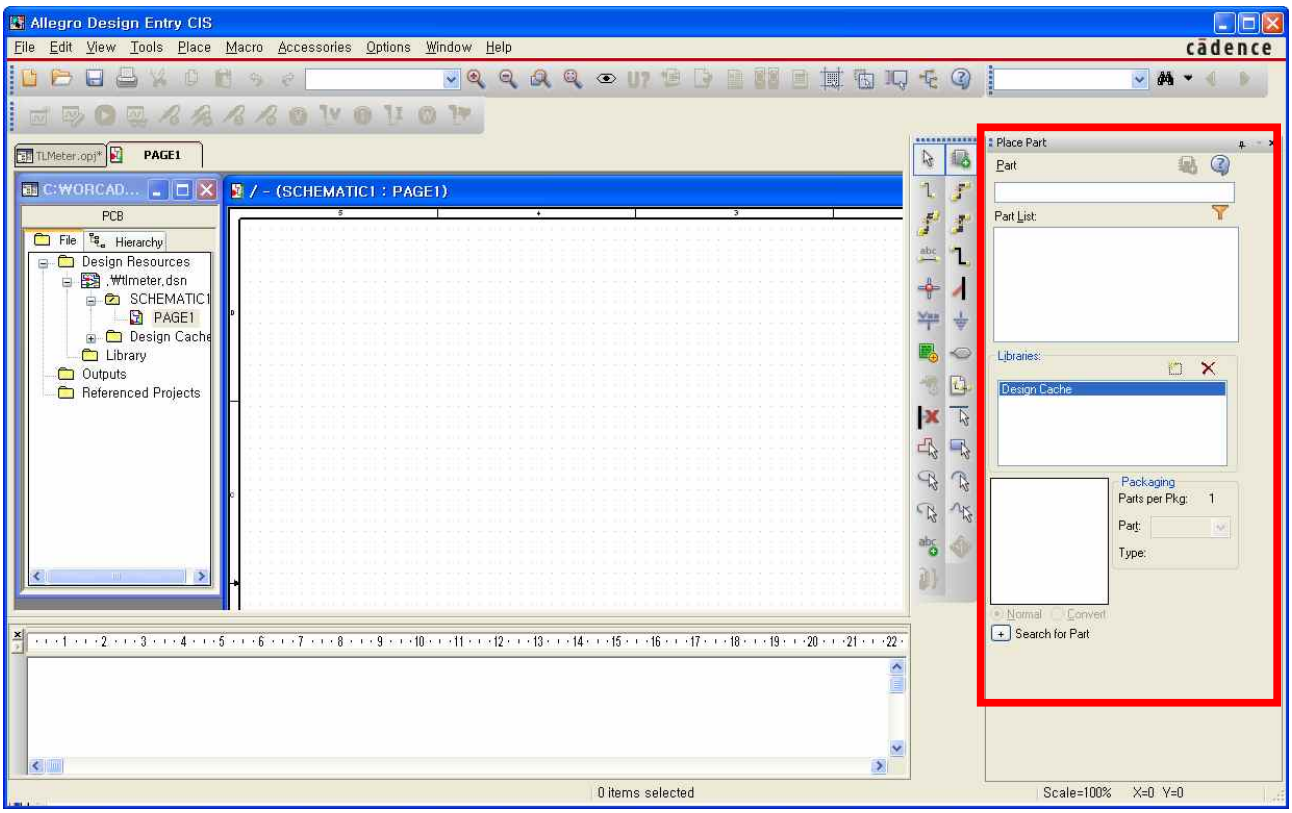
.OPJ	Capture project file
.DSN	Capture design file
.OLB	Capture part library file
.UPD	Property update file
.DRC	Design rules check file
.BOM	Bill of Materials file
.XRF	Cross-reference report
.EDF	EDIF 2.0 netlist
.DAT	OrCAD/Allegro PCB Editor Net List Files (3)
.SWP	Capture backannotation file
.NET	Other netlist files (PADS, PCAD, etc) (or.ASC)

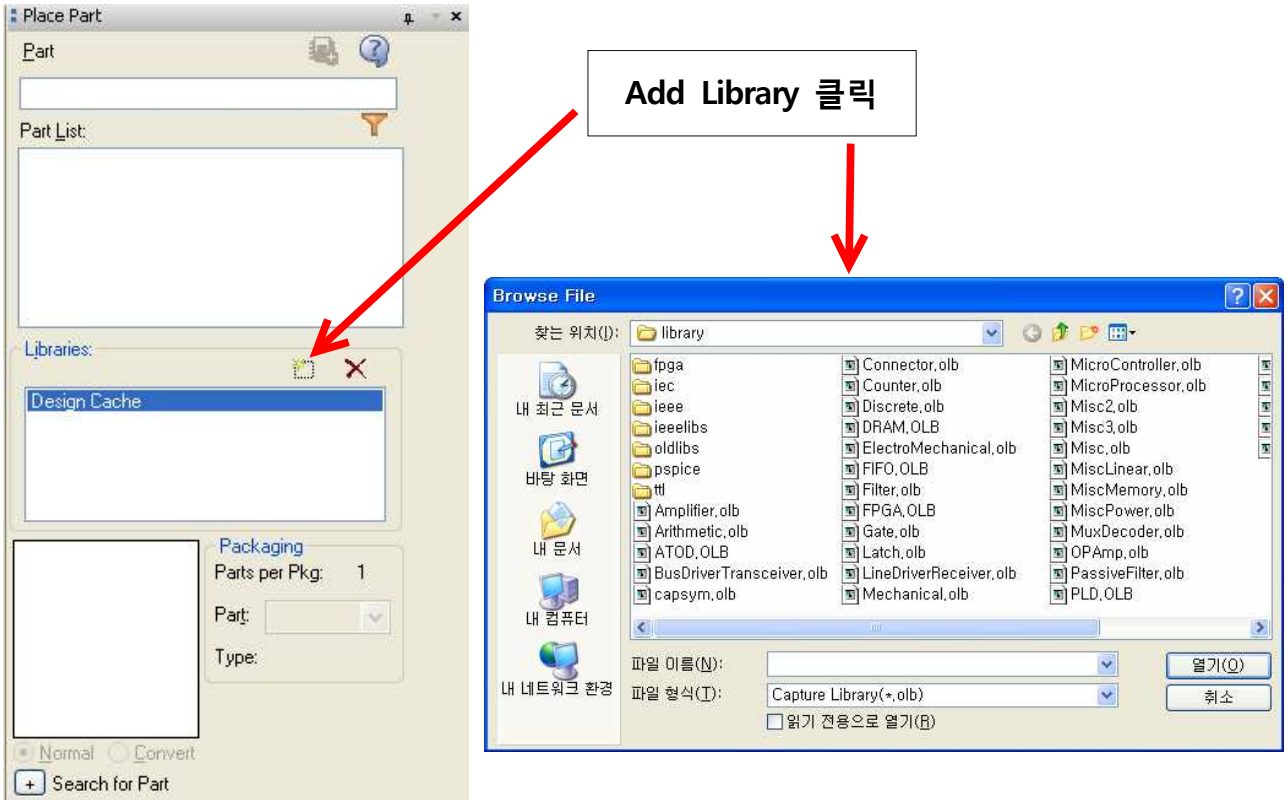
3 라이브러리 설정

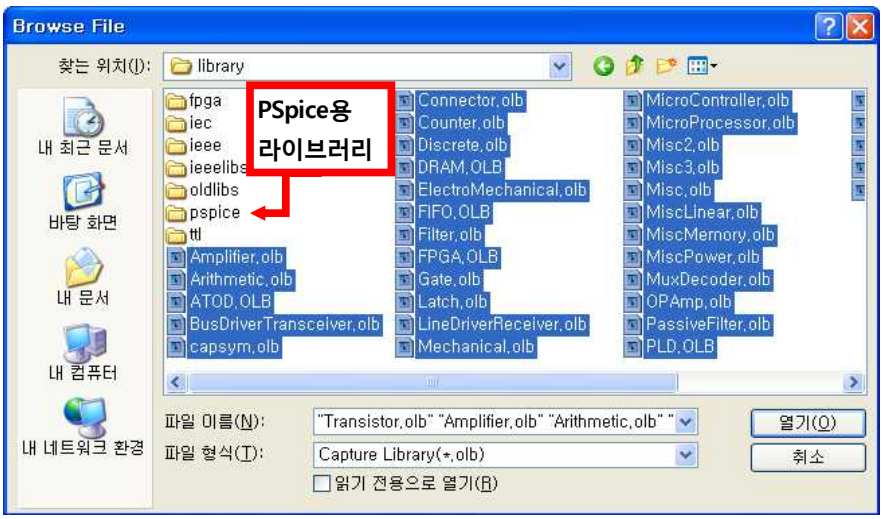
■ 제공 라이브러리 추가/제거



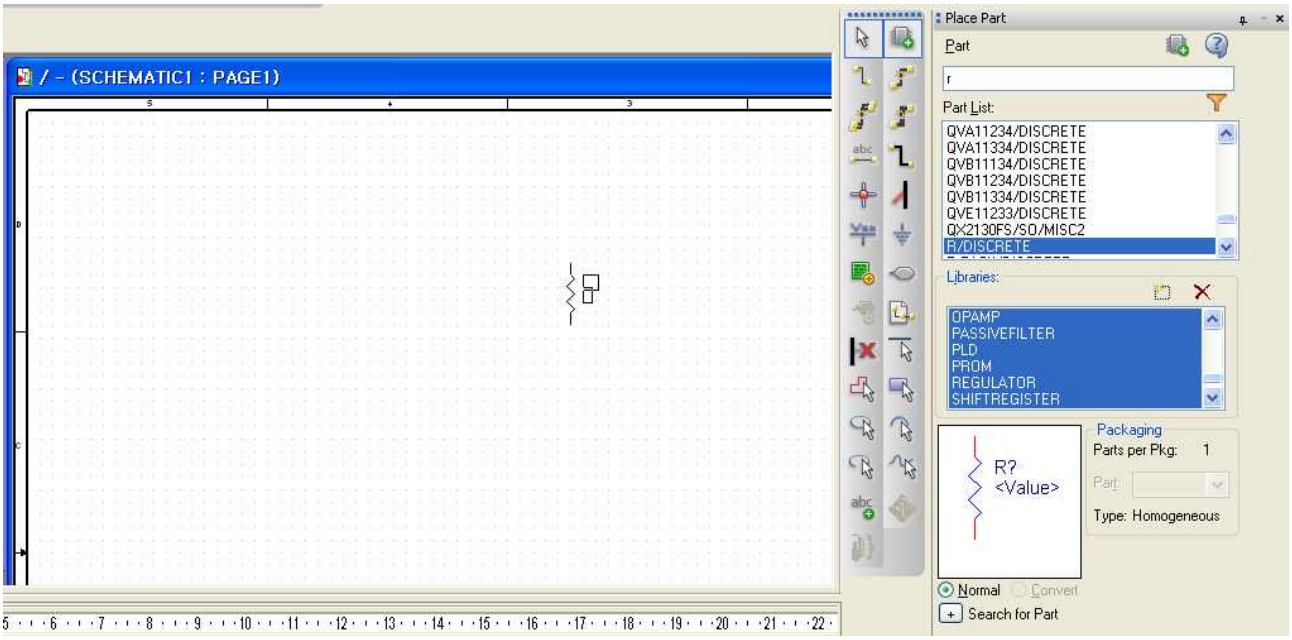
Place - Part...
단축키 p



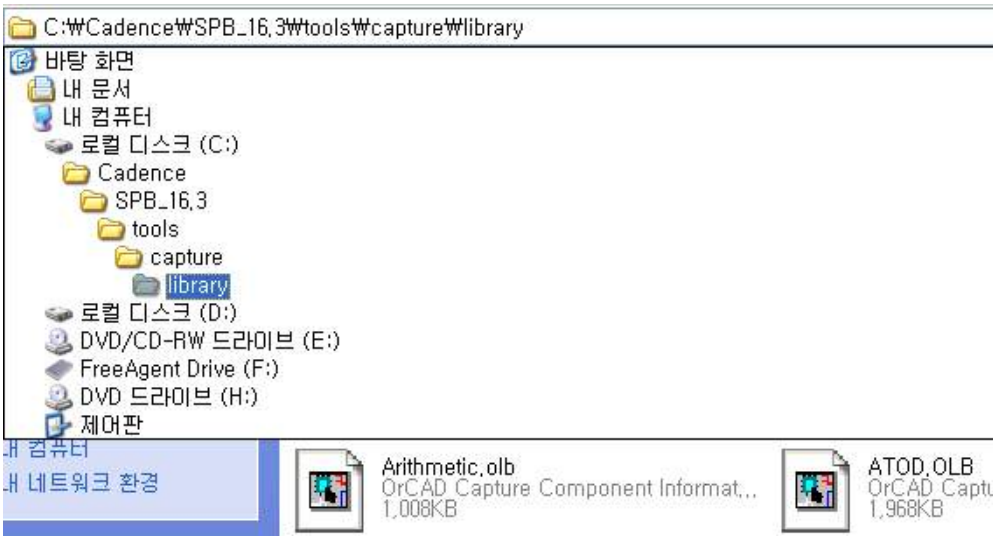

Add Library 클릭
Place Part
Part
Part List:
Libraries:
Design Cache
Packaging
Parts per Pkg: 1
Part:
Type:
Normal
Convert
Search for Part
Browse File
찾는 위치(I): library
내 최근 문서
바탕 화면
내 문서
내 컴퓨터
내 네트워크 환경
fpga
iec
ieee
ieeelibs
oldlibs
pspice
ttl
Amplifier.olb
Arithmetic.olb
ATOD.OLB
BusDriverTransceiver.olb
capsym.olb
Connector.olb
Counter.olb
Discrete.olb
DRAM.OLB
ElectroMechanical.olb
FIFO.OLB
Filter.olb
FPGA.OLB
Gate.olb
Latch.olb
LineDriverReceiver.olb
Mechanical.olb
MicroController.olb
MicroProcessor.olb
Misc2.olb
Misc3.olb
Misc.olb
MiscLinear.olb
MiscMemory.olb
MiscPower.olb
MuxDecoder.olb
OPAmp.olb
PassiveFilter.olb
PLD.OLB
파일 이름(N):
파일 형식(T): Capture Library(*.olb)
읽기 전용으로 열기(R)
열기(O)
취소


Browse File
찾는 위치(I): library
PSpice용
라이브러리
내 최근 문서
바탕 화면
내 문서
내 컴퓨터
내 네트워크 환경
fpga
iec
ieee
ieeelibs
oldlibs
pspice
ttl
Amplifier.olb
Arithmetic.olb
ATOD.OLB
BusDriverTransceiver.olb
capsym.olb
Connector.olb
Counter.olb
Discrete.olb
DRAM.OLB
ElectroMechanical.olb
FIFO.OLB
Filter.olb
FPGA.OLB
Gate.olb
Latch.olb
LineDriverReceiver.olb
Mechanical.olb
MicroController.olb
MicroProcessor.olb
Misc2.olb
Misc3.olb
Misc.olb
MiscLinear.olb
MiscMemory.olb
MiscPower.olb
MuxDecoder.olb
OPAmp.olb
PassiveFilter.olb
PLD.OLB
파일 이름(N): "Transistor.olb" "Amplifier.olb" "Arithmetic.olb"
파일 형식(T): Capture Library(*.olb)
읽기 전용으로 열기(R)
열기(O)
취소

Place Part
Part
Part List:
100115/SO/MISC3
100175/LATCH
100201/SO/GATE
100301/GATE
100301/FP/GATE
100301/LCC/GATE
100301/SO/GATE
100302/GATE
제거
Libraries:
OPAMP
PASSIVEFILTER
PLD
PROM
REGULATOR
SHIFTREGISTER
Packaging
Parts per Pkg: 1

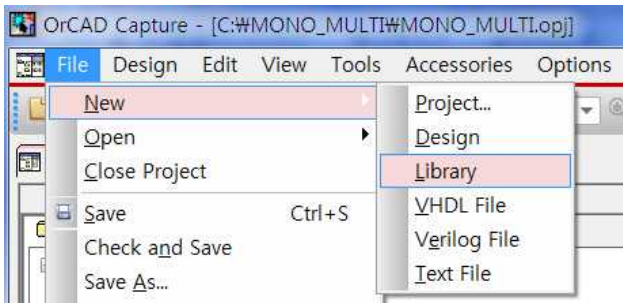


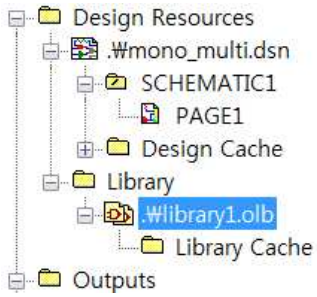
※ 내컴퓨터 Schematic 라이브러리 경로



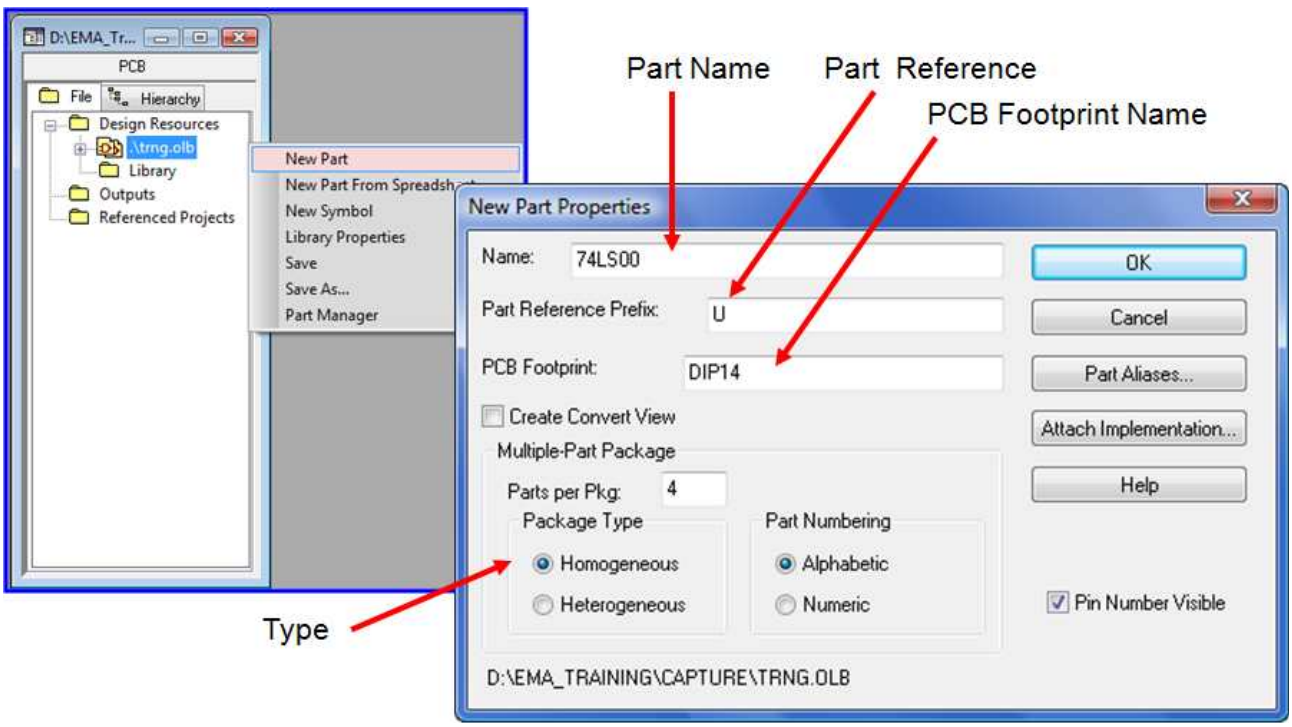
■ 라이브러리 신규 생성

- New Library(*.olb) 생성

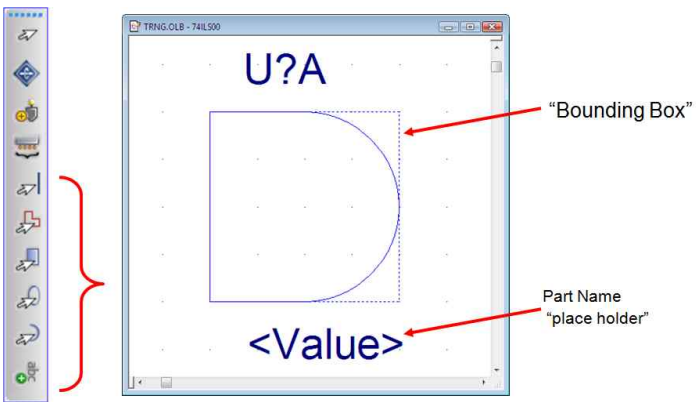




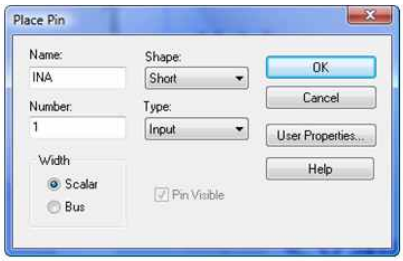
- New Part 생성

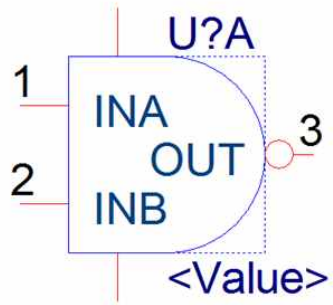


- 그래픽 추가



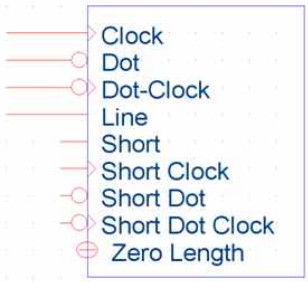
- Pin 추가(Place - Pin)



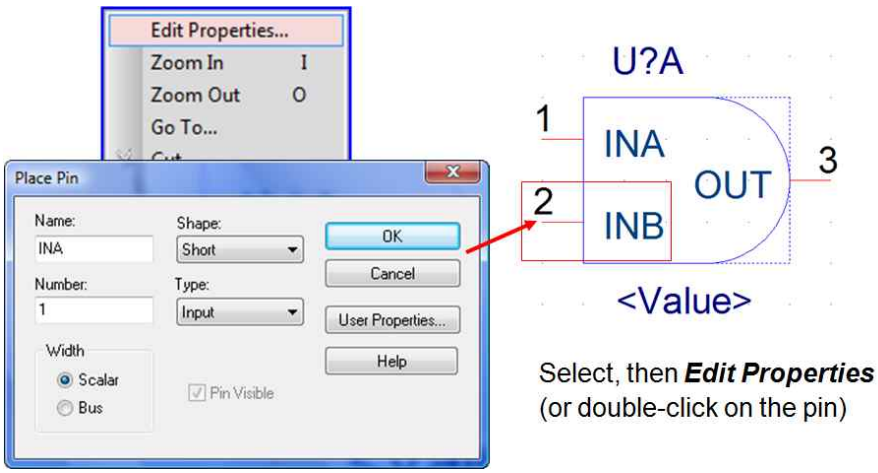


Pin Name =
Used in simulation

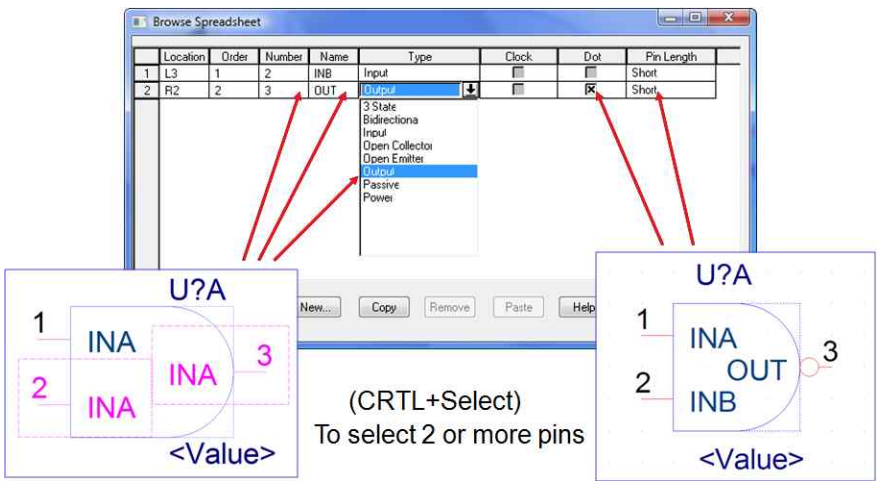
Pin Number =
Used by Netlisters



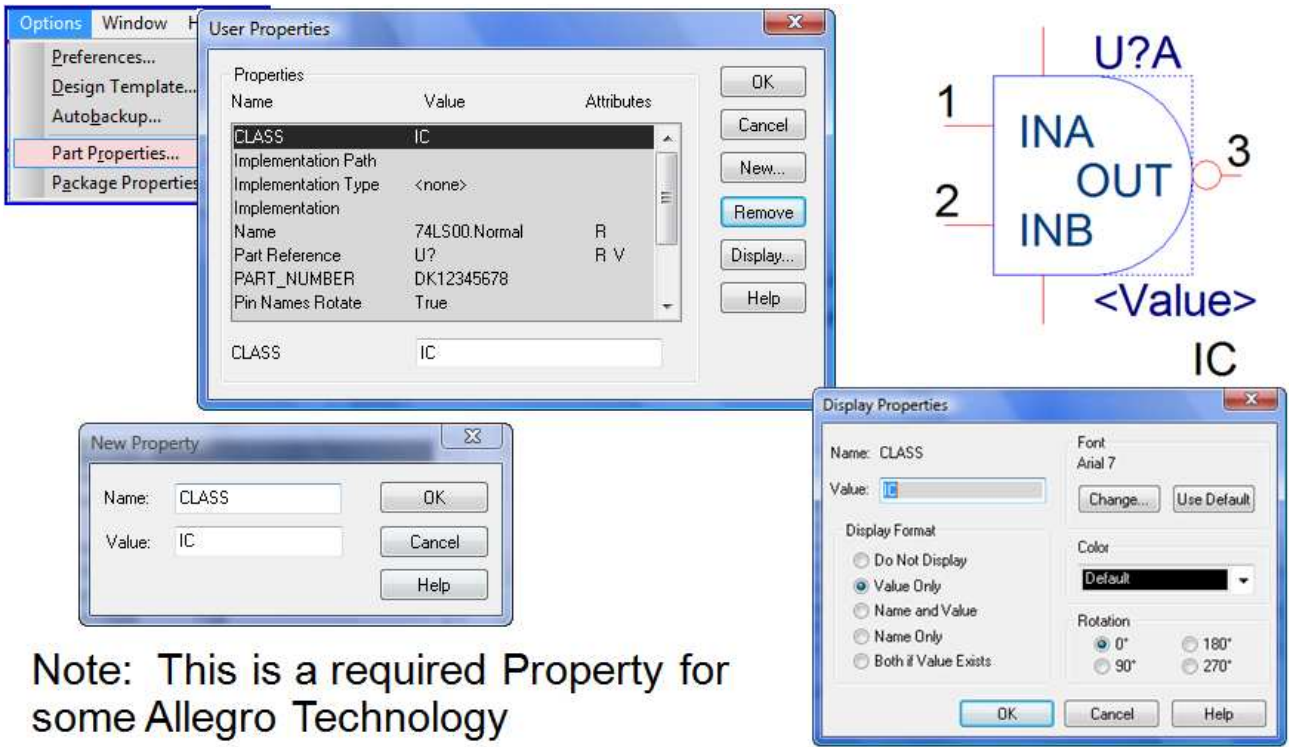
- Pin 속성의 수정/변경



Select, then ***Edit Properties***
(or double-click on the pin)



- Part 속성의 추가(Options - Part Properties)

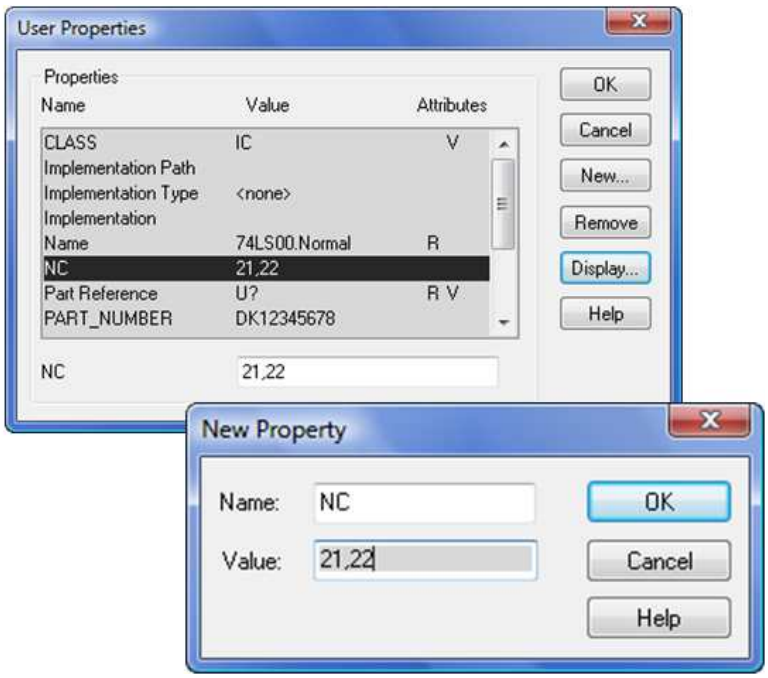


Note: This is a required Property for some Allegro Technology

- PCB Editor No-Connect Pins 정의

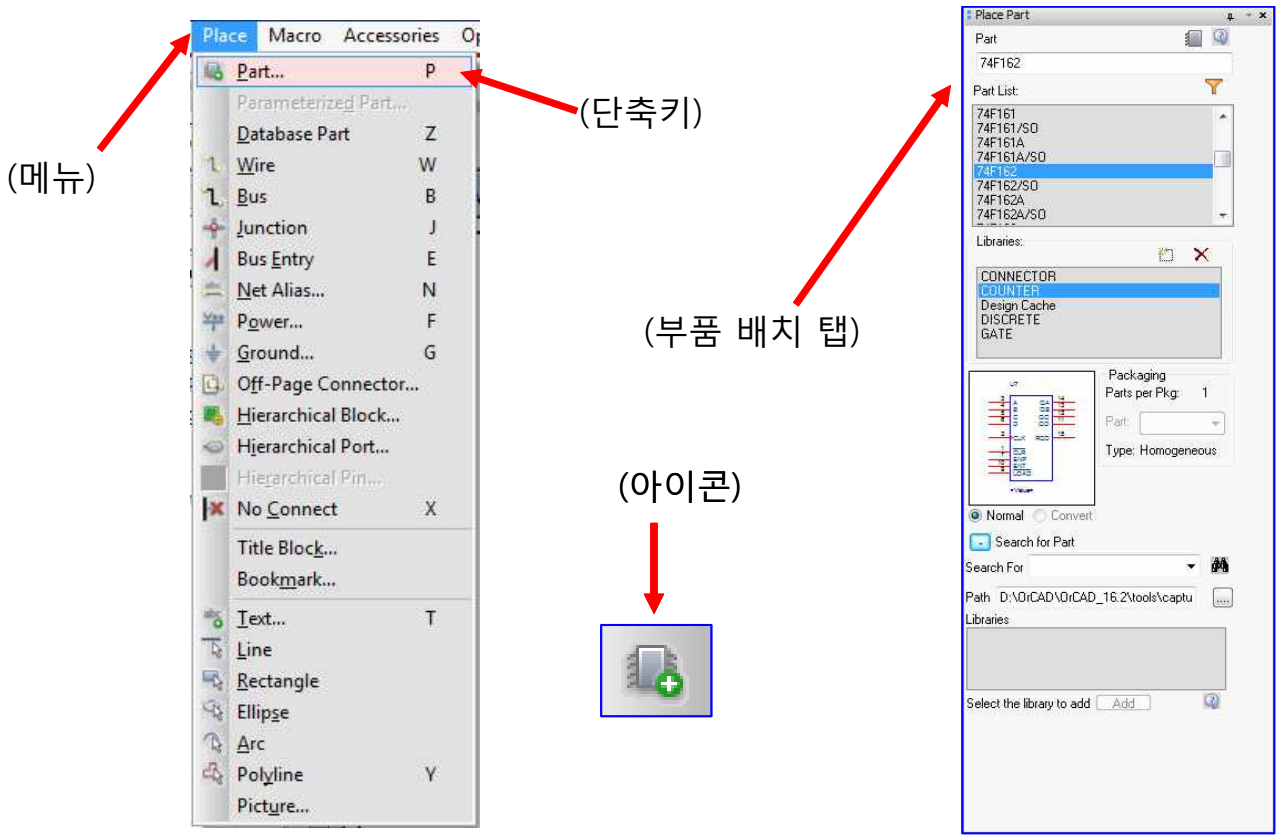
IMPORTANT!
You **Must** account for all pins in the Footprint

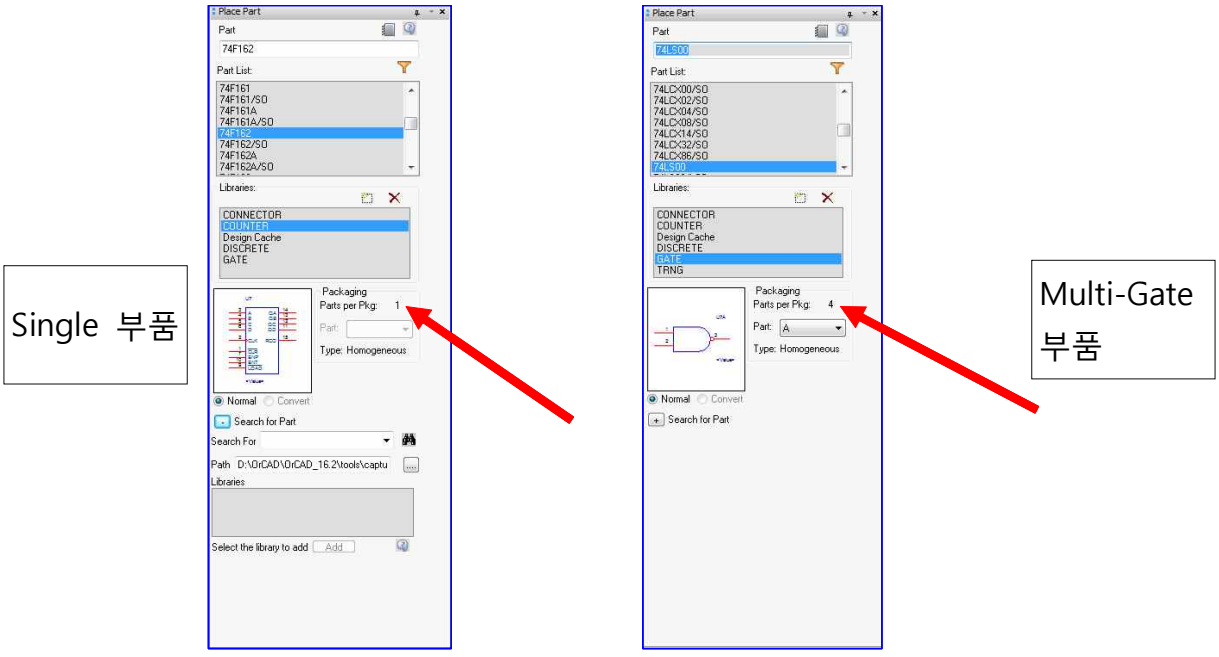
Some pins in the Footprint could be created as **Mechanical** Pins in Allegro



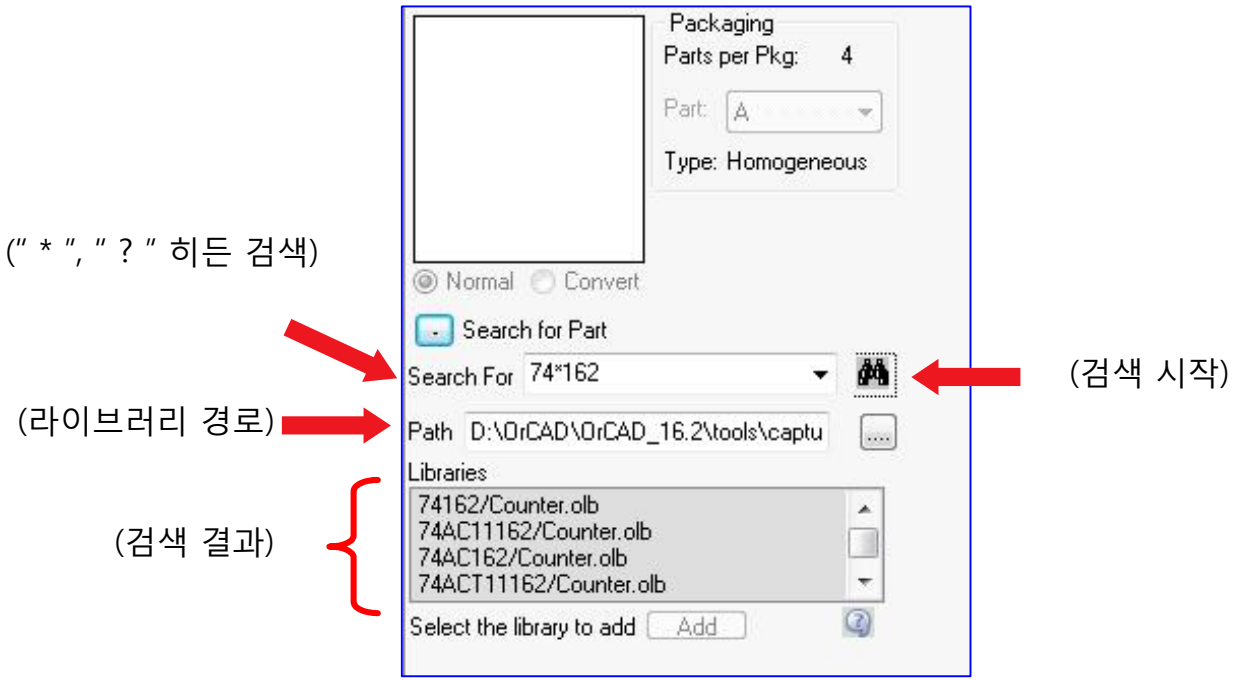
4 부품 배치/배선

■ 부품 배치(Place)



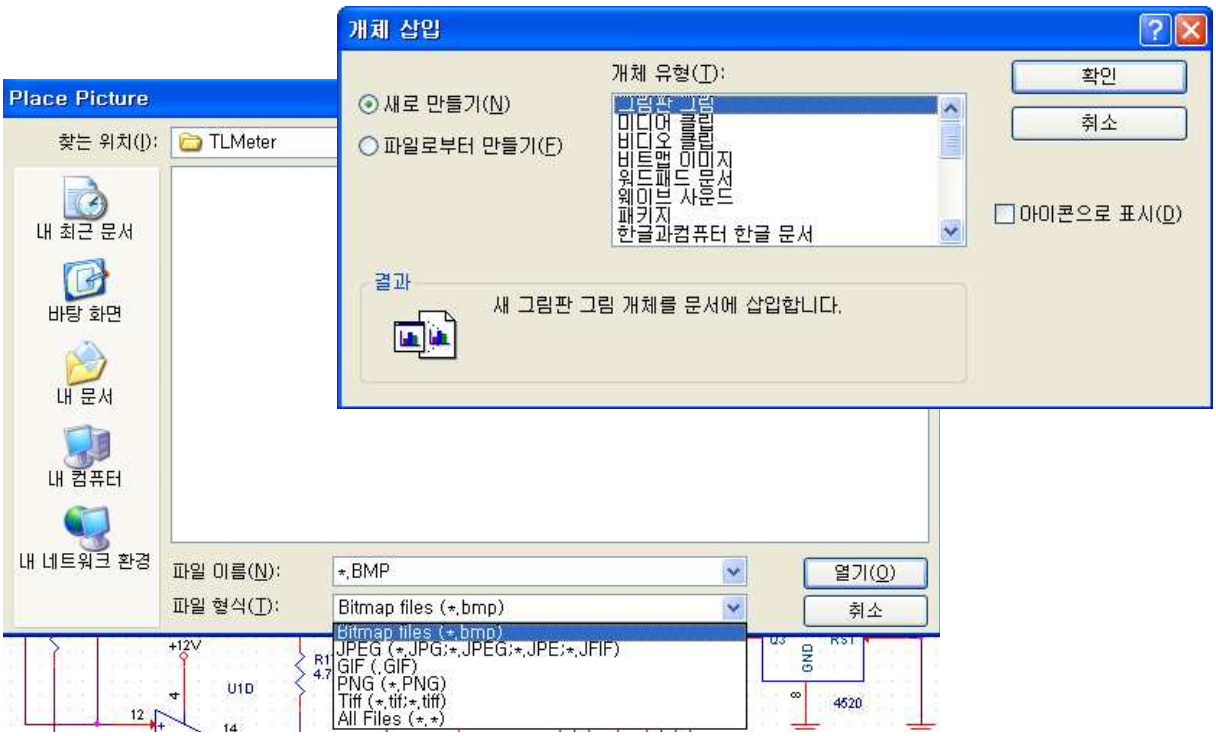


■ Capture 라이브러리(부품) 검색

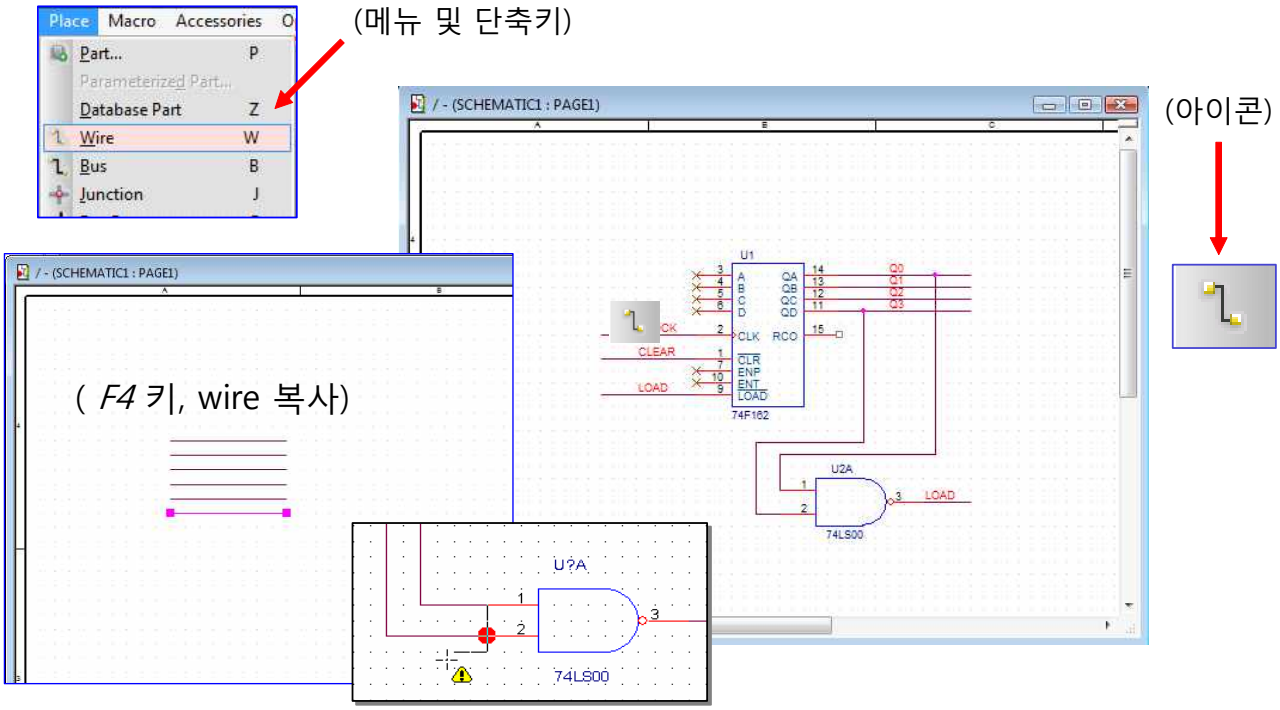


■ Picture 및 OLE 객체 삽입 Support

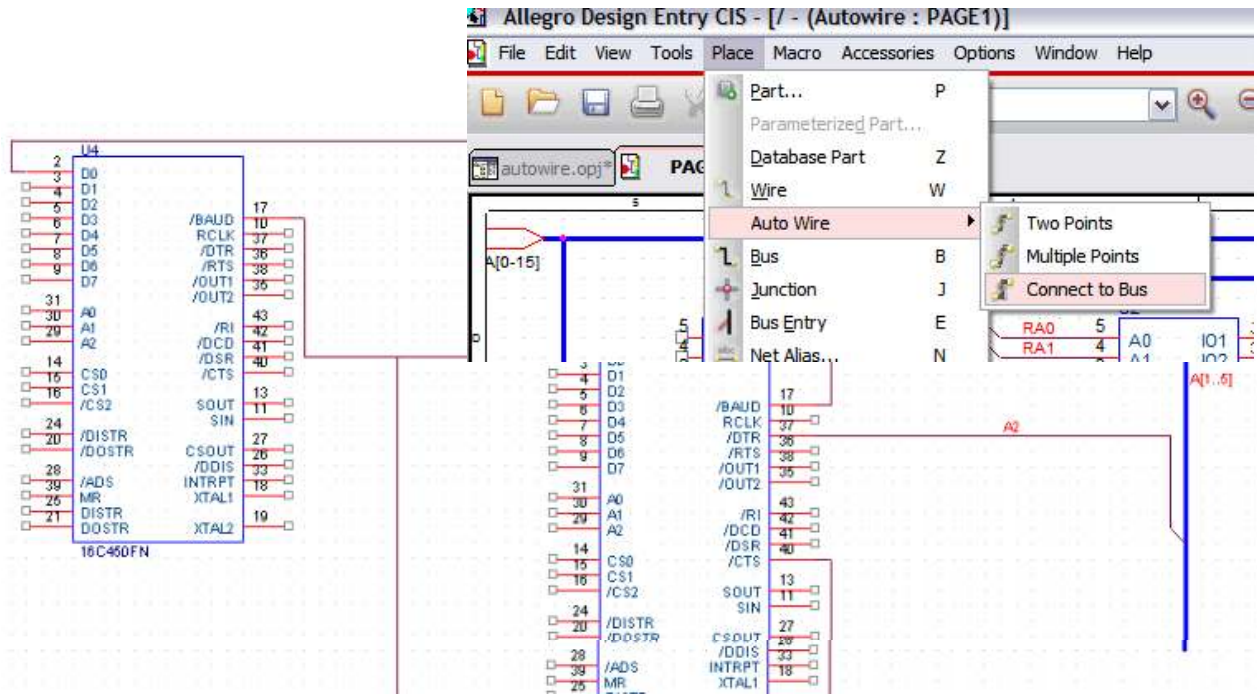
Place - Picture... / OleObject...



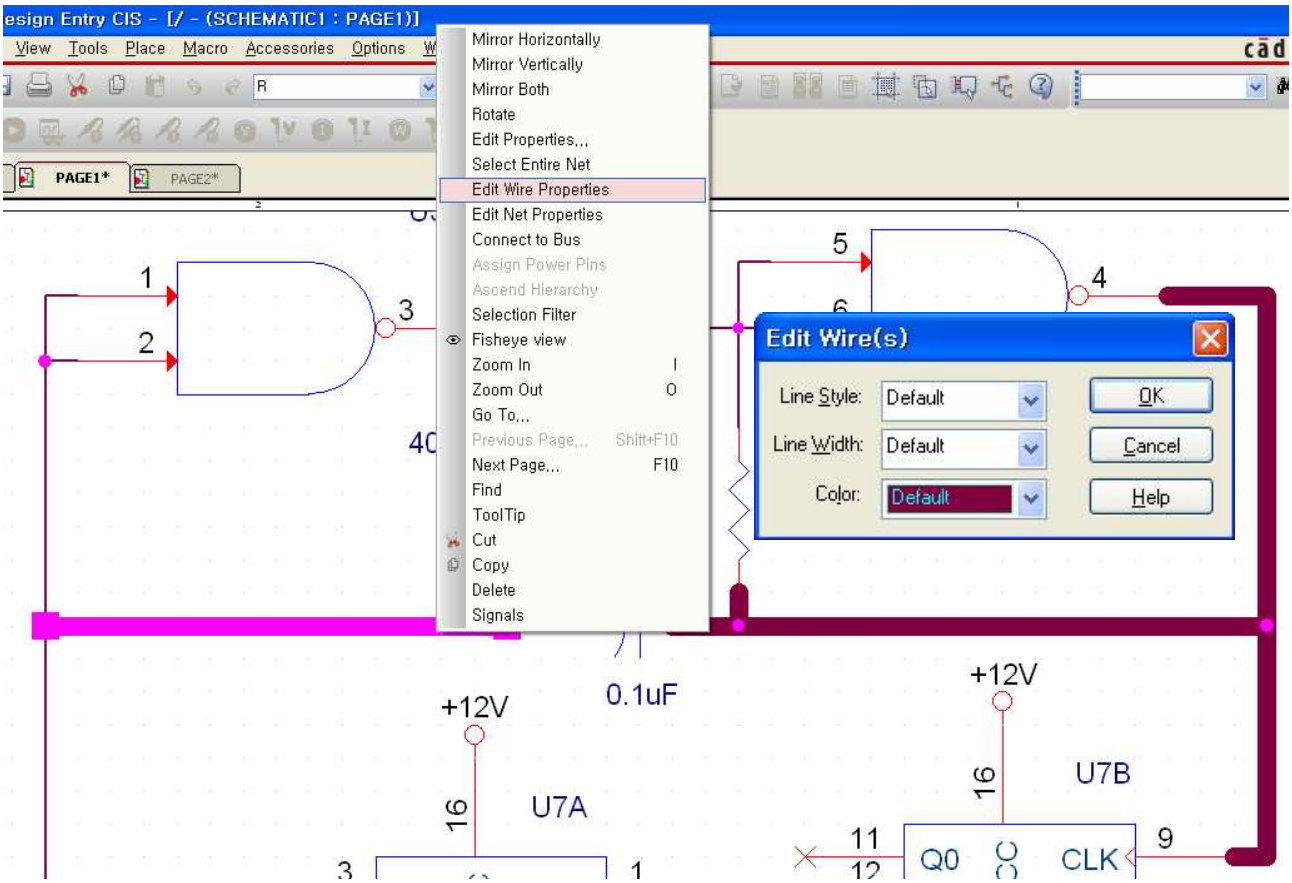
■ 배선(Wire)



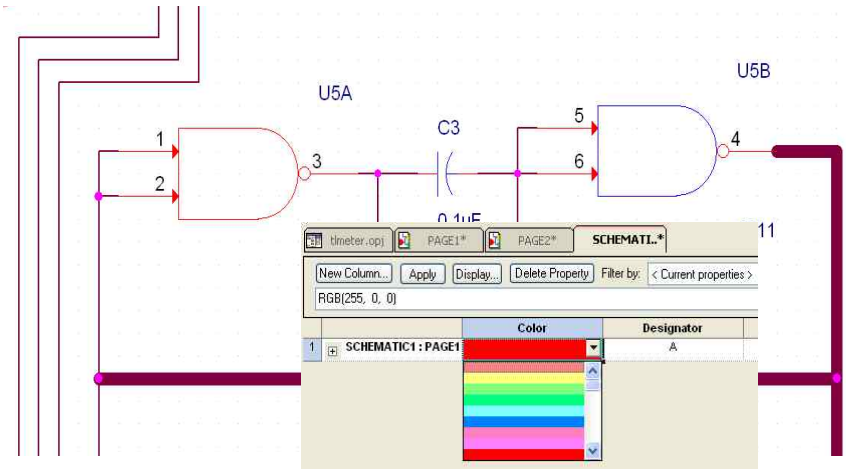
■ Auto-Wiring Support

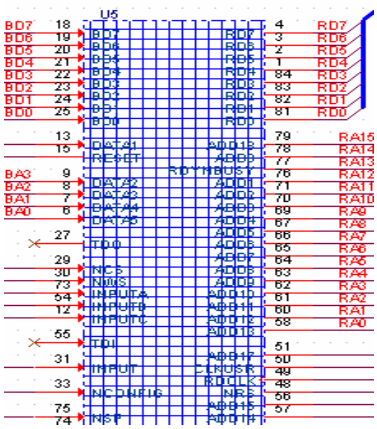


■ Wire/Net Segment 및 Color Support

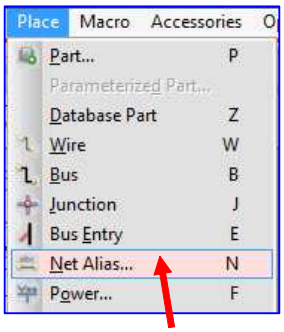


■ 부품 Color 및 Shape 등의 Support



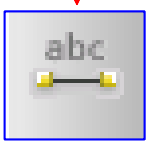


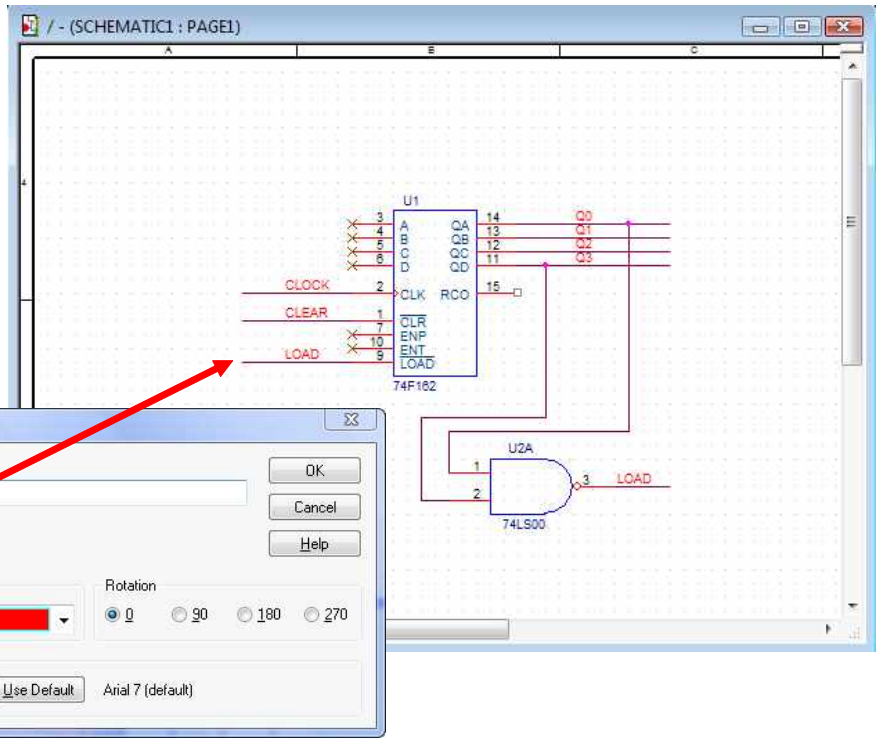
■ Net alias(Net 명칭 부여)



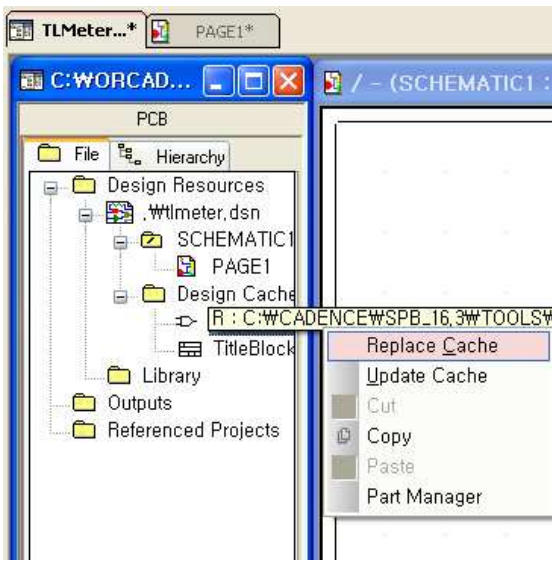
(메뉴 및 단축키)

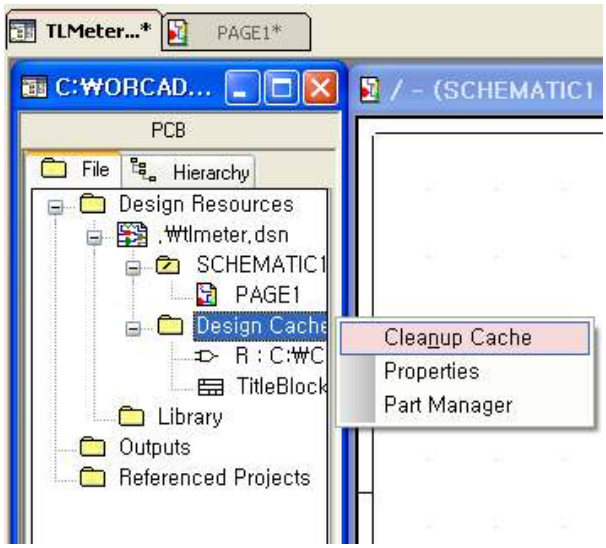
(아이콘)





■ Design Cache

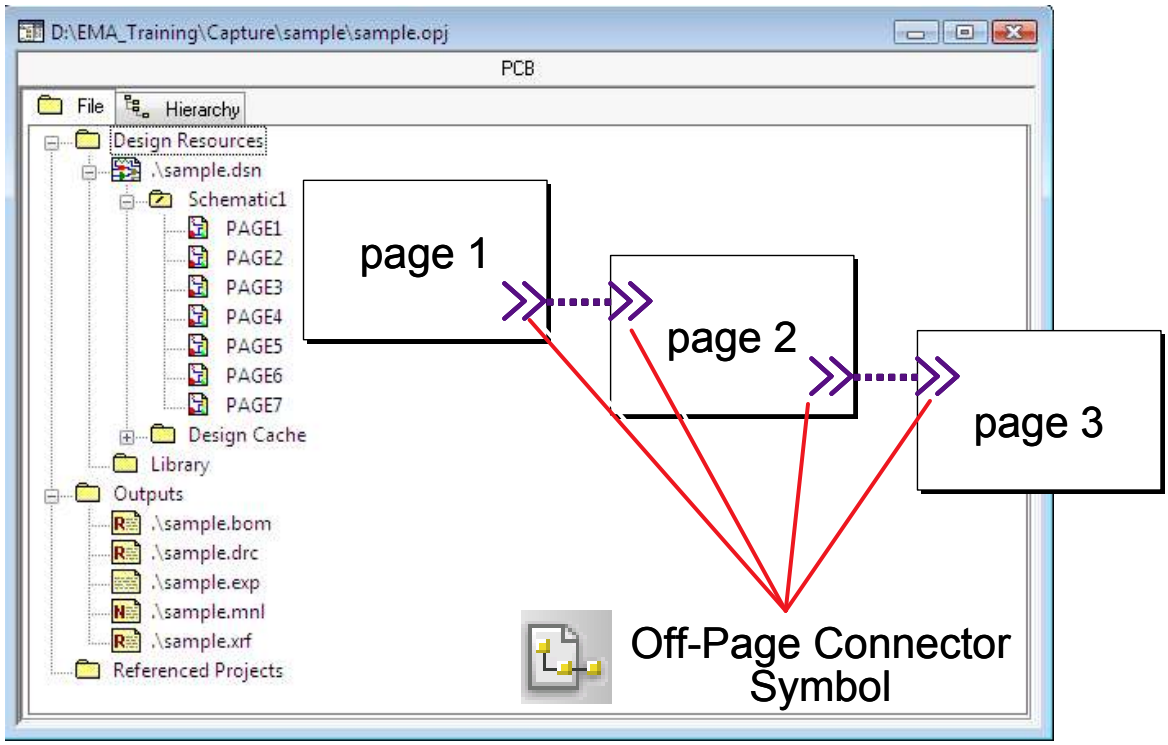


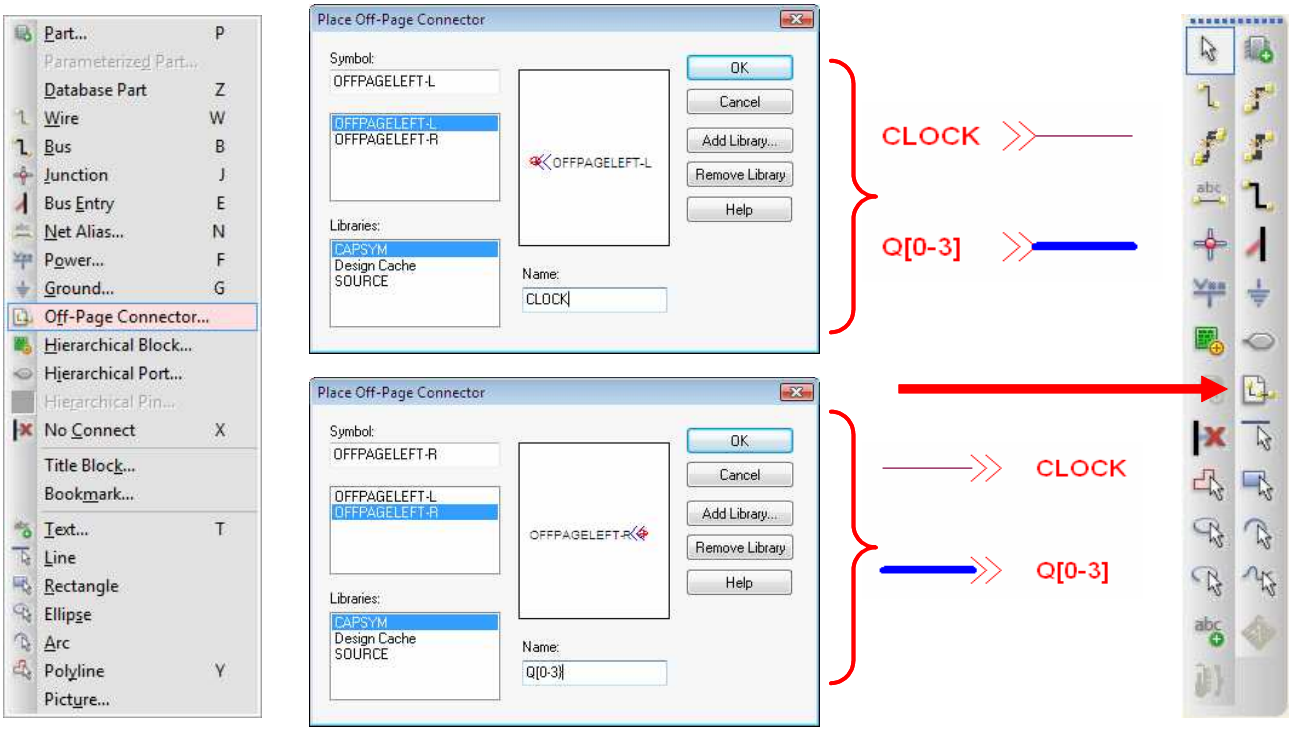


- Cleanup Cache - 도면에 사용되지 않는 Part 및 Symbol 제거
- Update Cache
- Replace Cache

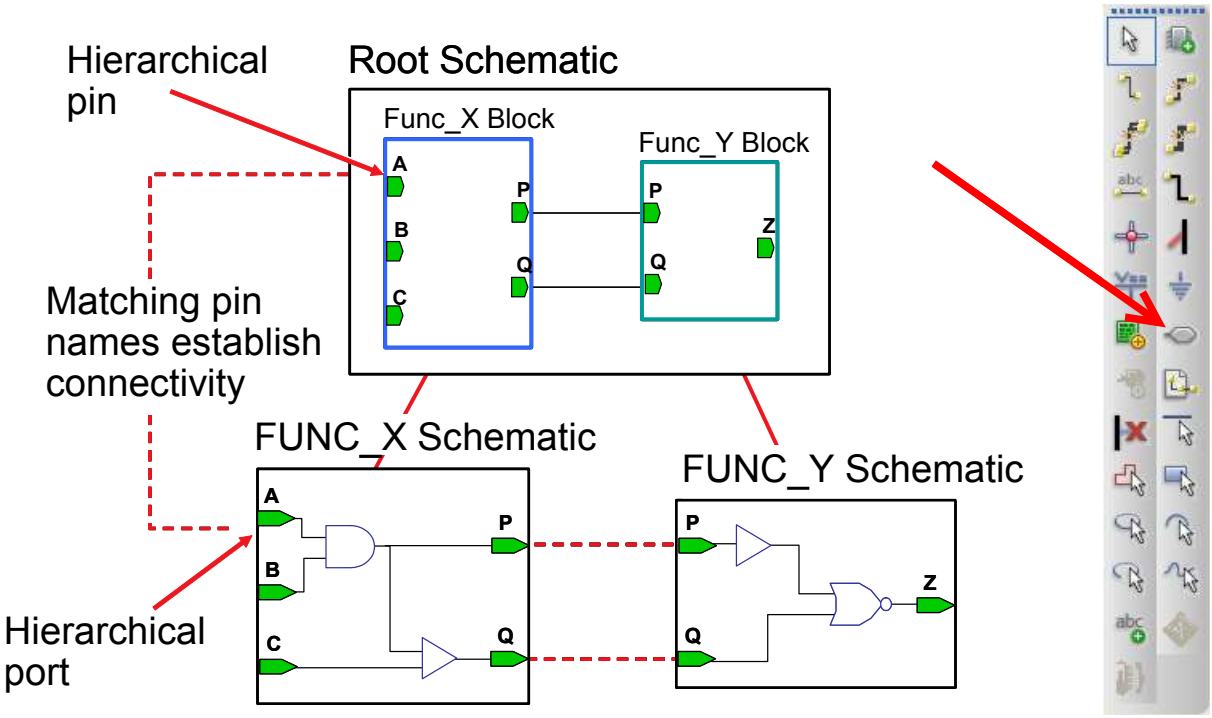
■ 도면 구조(단일/평면/계층 도면)

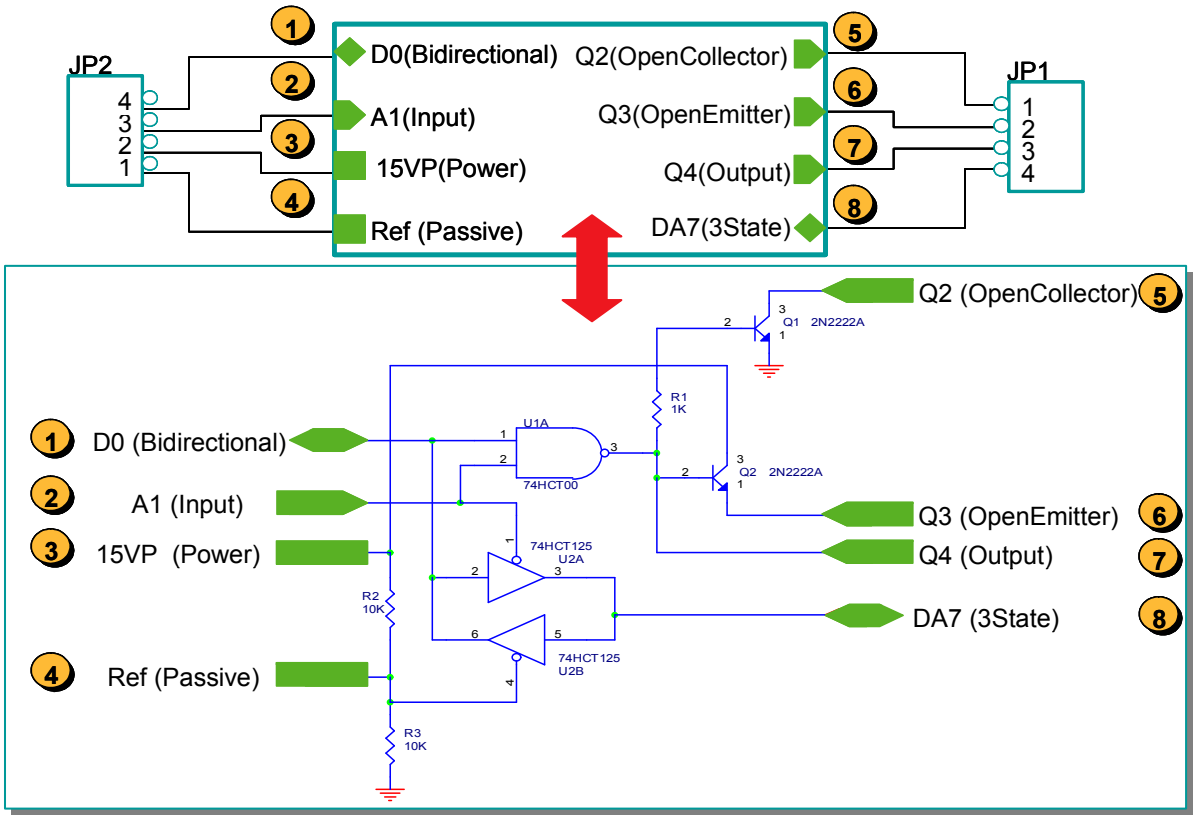
- 평면 도면(Hierarchical Block)





• 계층 도면

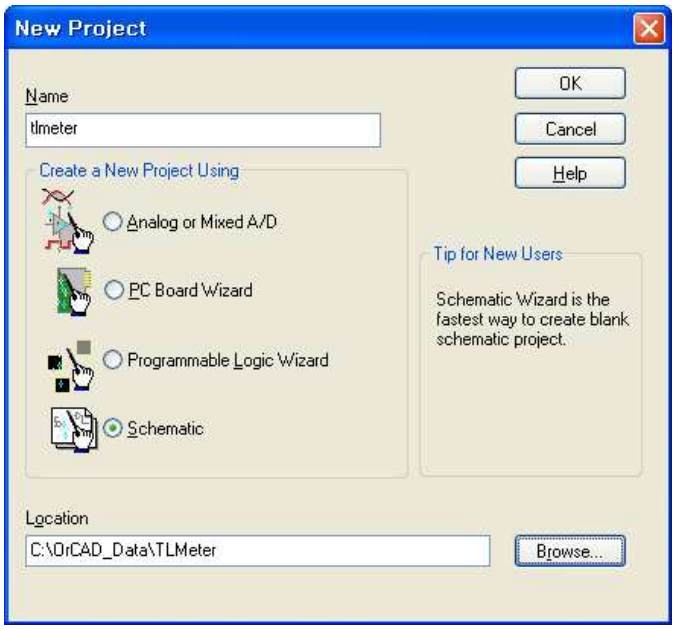

Hierarchical pin
Root Schematic
Func_X Block
Func_Y Block
A
B
C
P
Q
P
Q
Z
Matching pin names establish connectivity
FUNC_X Schematic
FUNC_Y Schematic
A
B
C
P
Q
P
Q
Z
Hierarchical port


JP2
4
3
2
1
1
2
3
4
D0(Bidirectional)
A1(Input)
15VP(Power)
Ref (Passive)
Q2(OpenCollector)
Q3(OpenEmitter)
Q4(Output)
DA7(3State)
5
6
7
8
JP1
1
2
3
4
D0 (Bidirectional)
A1 (Input)
15VP (Power)
Ref (Passive)
Q2 (OpenCollector)
Q3 (OpenEmitter)
Q4 (Output)
DA7 (3State)
Q1 2N2222A
Q2 2N2222A
U1A
74HCT00
74HCT125 U2A
74HCT125 U2B
R1 1K
R2 10K
R3 10K

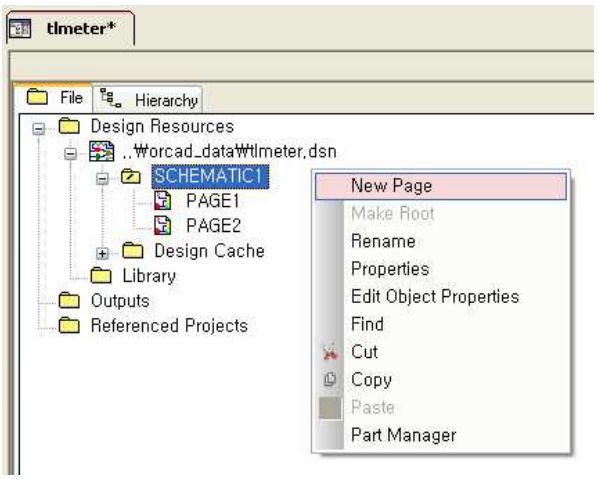
Lab.

• Schematic Design

1. New Project를 생성한다. 메뉴바 File - New - Project...를 선택한 후 Name과 저장 경로(Location)을 지정한다.

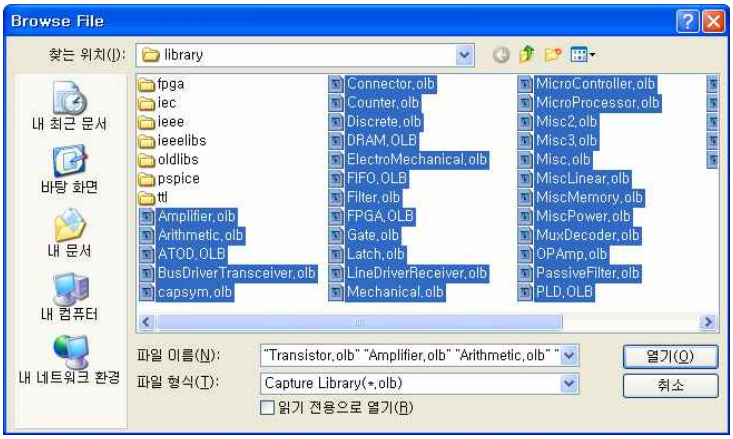


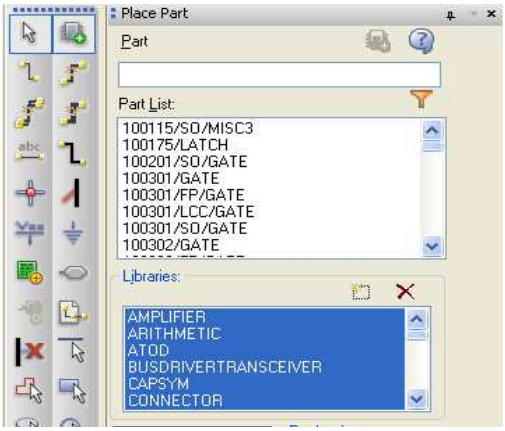
2. Project Manager 창에서 PAGE2 도면을 추가로 생성한다.(마우스 팝업 메뉴)



3. PAGE1, PAGE2 도면의 사이즈를 A4 로 변경한다.(Schematic Page Properties)

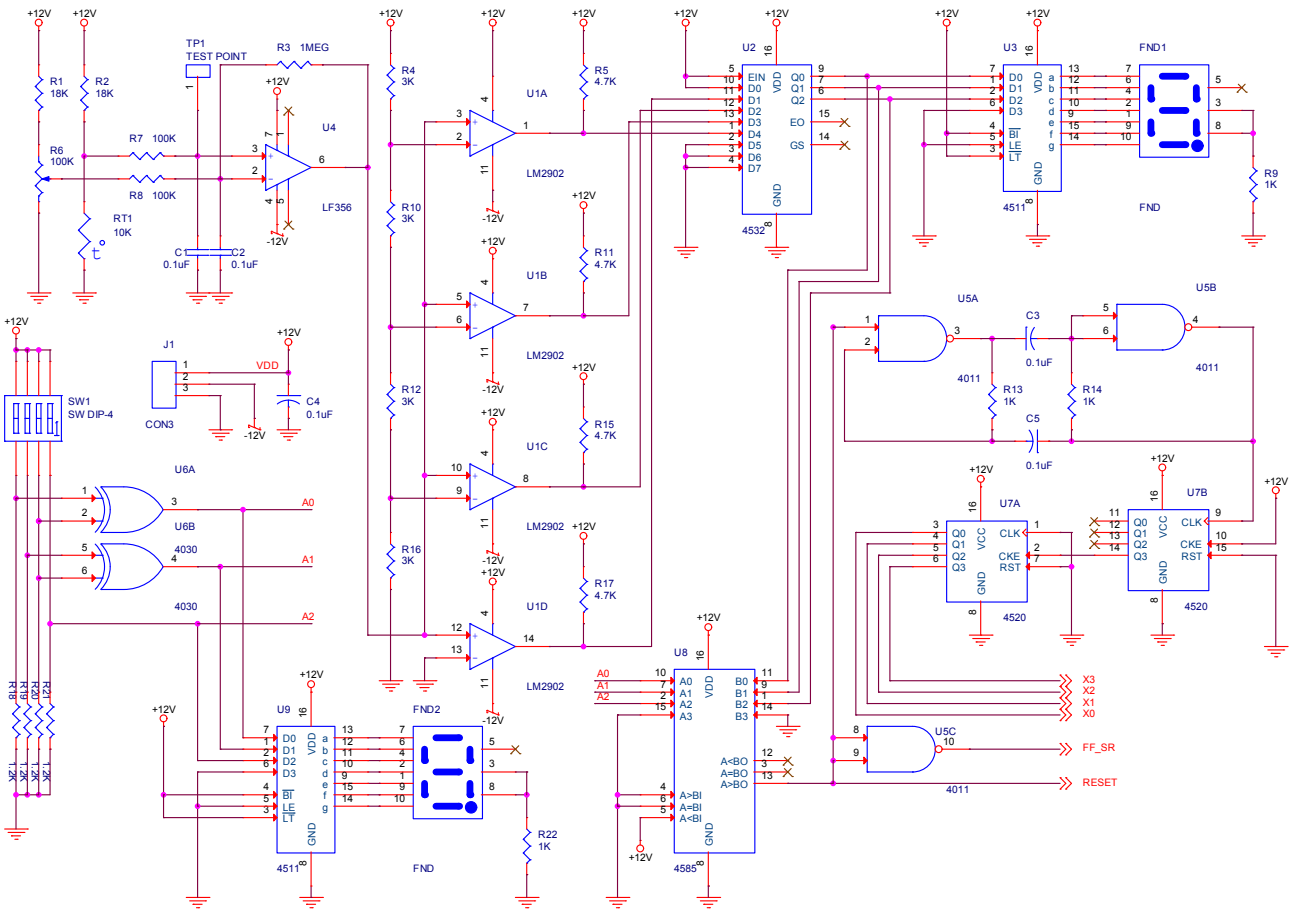
4. Place Part 창에서 Part Library를 추가한다.



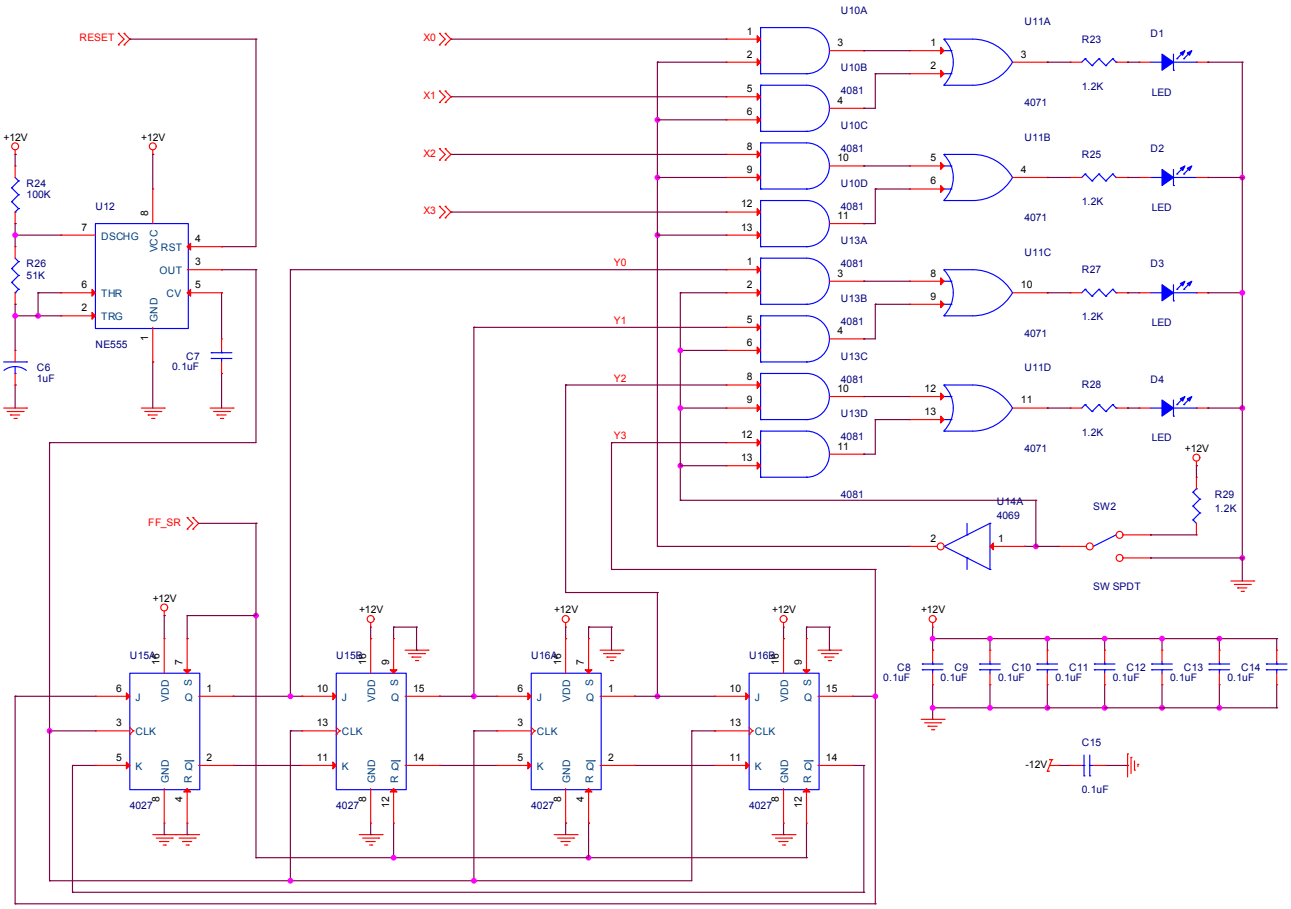


5. 다음 회로도면을 각 각 완성한다.(마우스 팝업 메뉴의 Rotate, Edit Part, Mirror 등의 기능 활용, FND Symbol 생성법은 Lab 참조)

- PAGE1

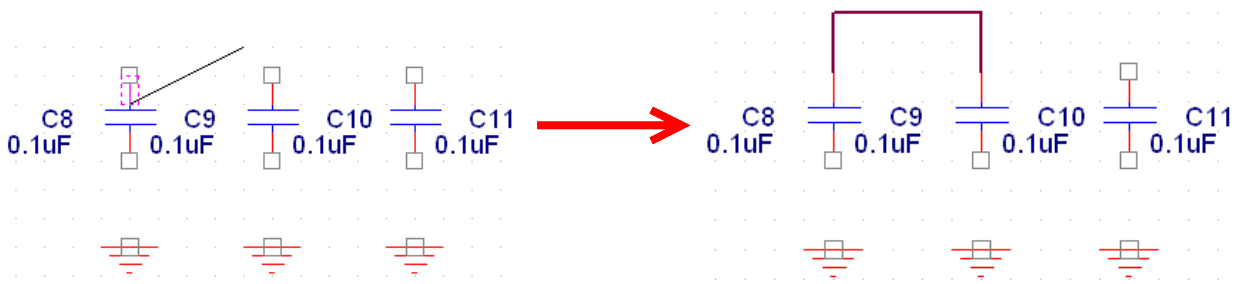


PAGE2



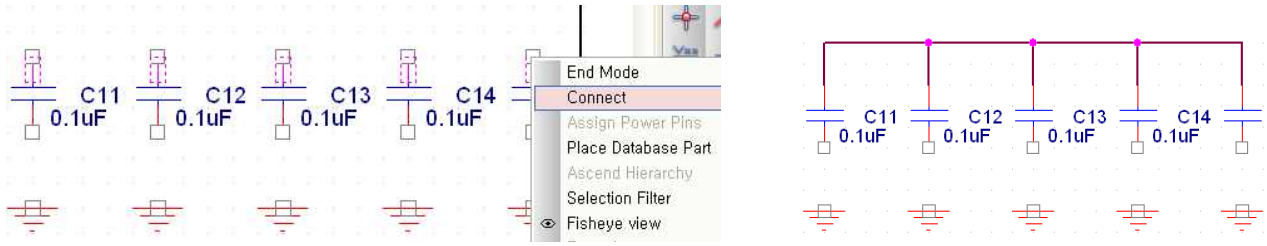
6. Auto-Wiring 등의 명령을 실행하여 본다.

- PAGE2 도면을 펼친 다음, Auto Connect two points 아이콘 선택한다.
- C8 부품의 핀을 하나 선택한 후, C9 부품의 핀을 하나 선택한다.

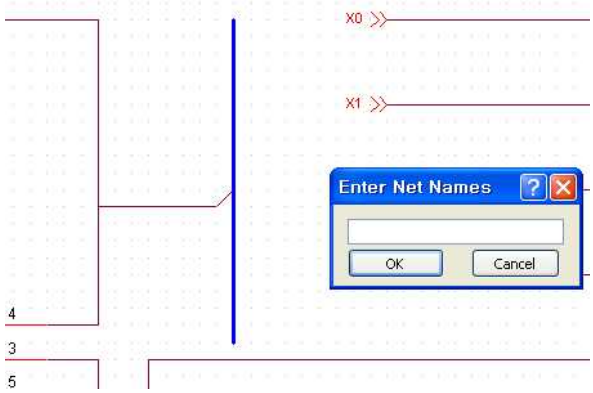


- Auto Connect multi points 아이콘 을 선택한다.

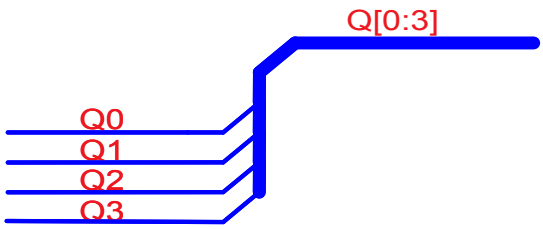
- C10~C14 부품의 핀을 각각 선택한 후, RMB(오른쪽 마우스 버튼)의 Connect를 클릭 한다.



- Bus선을 추가하여 Auto Connect to bus 아이콘 의 기능도 익혀 본다.



※ Bus선은 Bus선의 명칭 뿐만 아니라, 포함하는 Net의 명칭도 반드시 필요하다.



Bus Name Format
Q[0-3] or Q[0..3]

Lab.

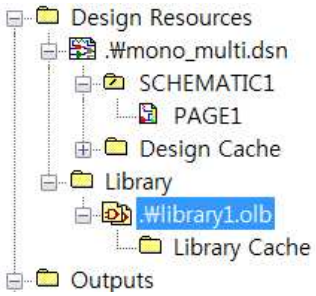
• 기타 설정

1. 기타 여러 가지 환경 설정을 익혀 본다,
2. Display 및 Zoom, Pan 기능을 익혀 본다.
3. Part, Net 의 Color 등 각 요소별 속성을 변경해 본다.
4. 설정 후 도면을 save 한다.

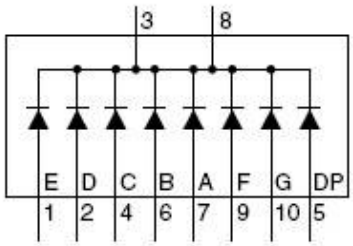
Lab.

• Schematic Symbol 7-Segment 생성

1. 메뉴바 File - New - Library를 선택하여, library1.olb 가 생성된 것을 확인한다.

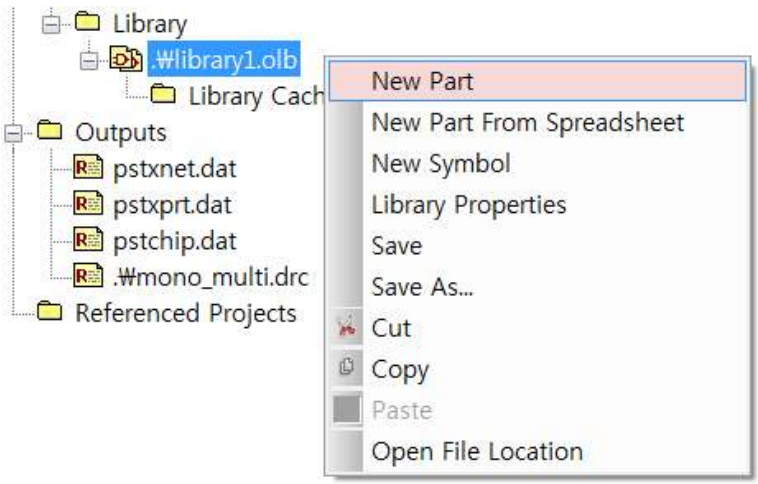


2. 7-Segment 부품 Datasheet의 Pin name 및 Pin number를 확인한다.
[참조]

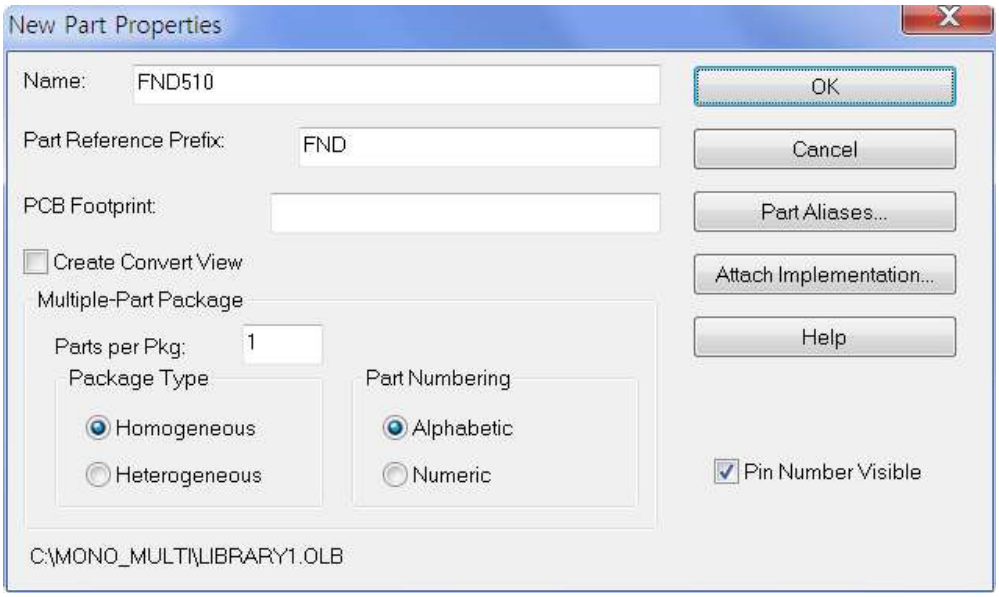


- FND510 Pin 배치도 -

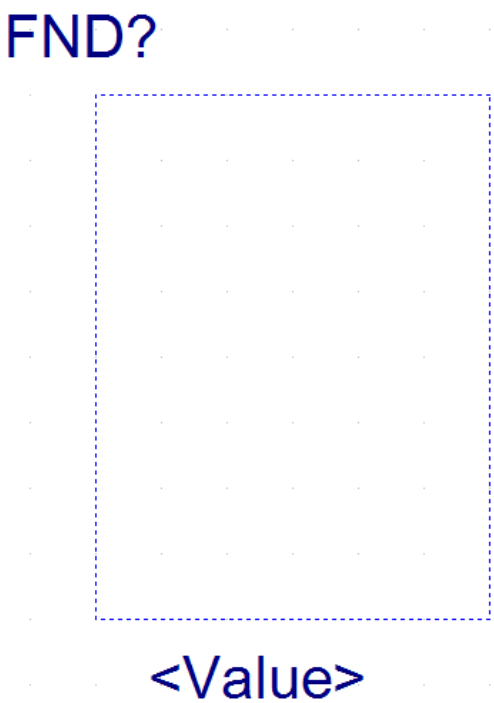
3. library1.olb를 선택한 후 마우스 팝업메뉴의 New Part를 선택한다.



4. New Part Properties창이 나타나면 Part name과 Part Reference Prefix를 입력한 후 OK 버튼을 선택한다.

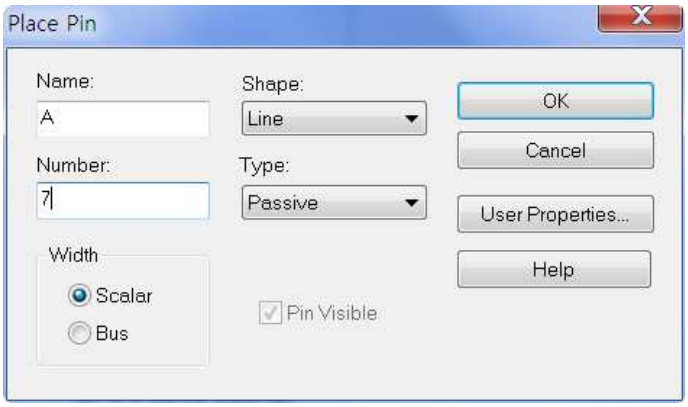


5. Library Editor창이 나타나고, 점선 사각박스를 세로 방향으로 3 그리드, 가로 방향으로 1 그리드 드래그하여 사각형을 키운다.



6. 메뉴바 Place - Pin 또는 툴팔레트의 Place Pin 아이콘을 선택한다.

7. Place Pin창의 Name에 A, Number에 7을 입력한 후 OK 버튼을 선택한다.

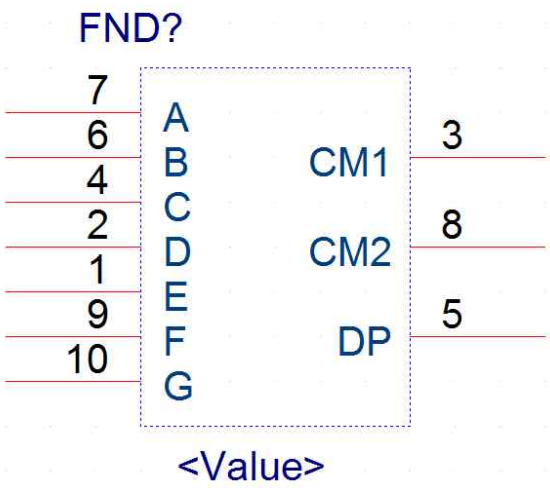


8. 마우스와 점선 사각박스를 따라 Pin이 이동하게 되므로 원하는 지점에 클릭하여 배치한다.

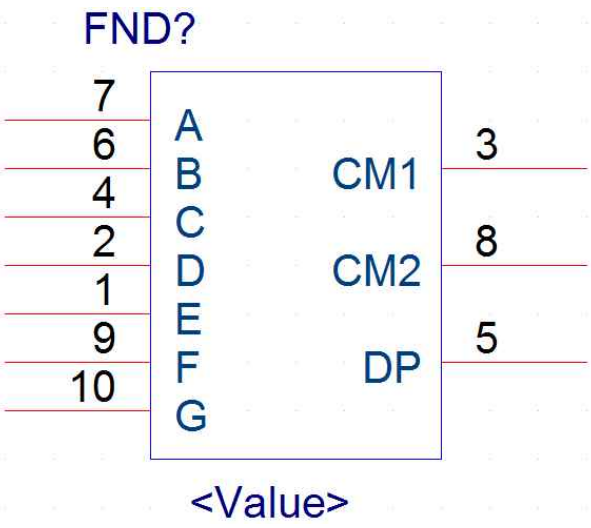
※ 마우스 팝업 메뉴 End mode 또는 키보드 Esc 키를 누르기 전까진 Place Pin의 명령이 계속 이어지며, Pin Number는 자동으로 카운터 되지만 Pin Name은 자동으로 되지 않는다.

※ Pin을 하나씩 배치하거나, 모두 배치 후 개별 속성을 편집하는 방법, 또는 Place Pin Array를 활용하여 다수 Pin을 한 번에 배치하는 방법 등이 있다.

9. 나머지 Pin을 다음과 같이 배치한다.

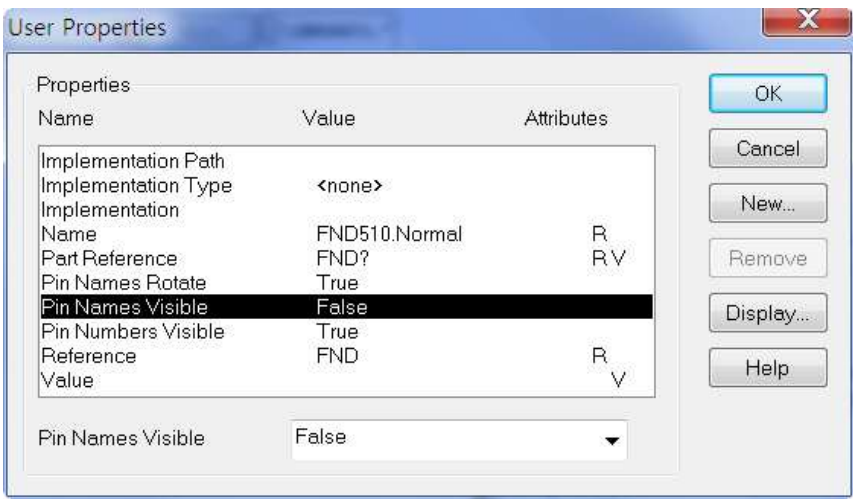


10. 메뉴바 Place - Line 또는 Rectangle을 선택하거나, 툴팔레트의 아이콘을 이용하여 파란색 점선 사각박스에 라인을 그려준다.



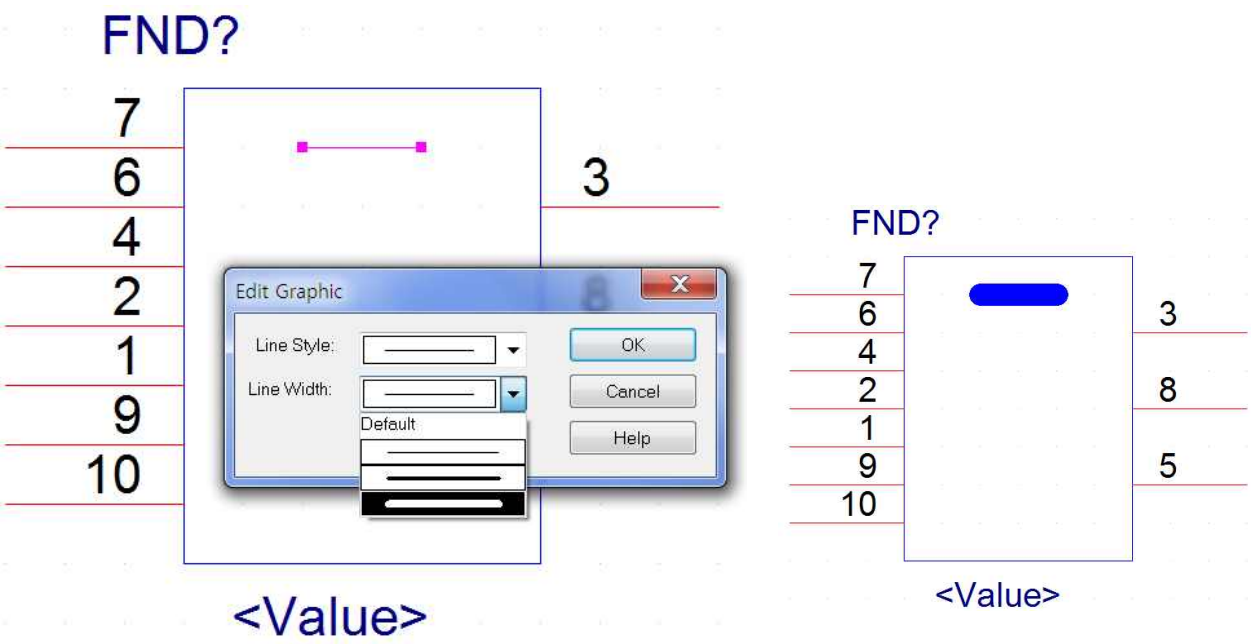
11. Symbol 내부의 Pin name 대신에 7-segment 모양으로 채우기 위해서 Pin name을 보이지 않도록 설정한다. 메뉴바 Option - Part Properties...를 선택하거나, 빈 여백에 더블클릭한다.

12. Pin Number Visible 항목의 True 설정을 아래 Pin Names Visible에서 False로 변경한 후 OK 버튼을 선택한다.

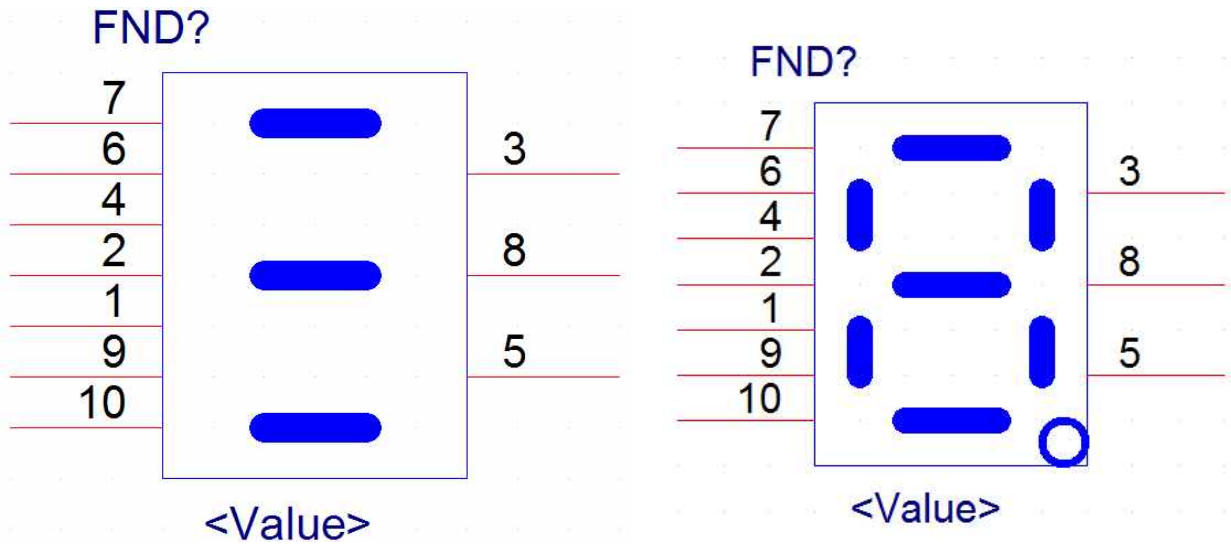


13. 메뉴바 Place - Line을 선택하여, 다음과 Line을 그린 다음 마우스 팝업 메뉴의 End Mode 또는 Esc 키를 누른다.

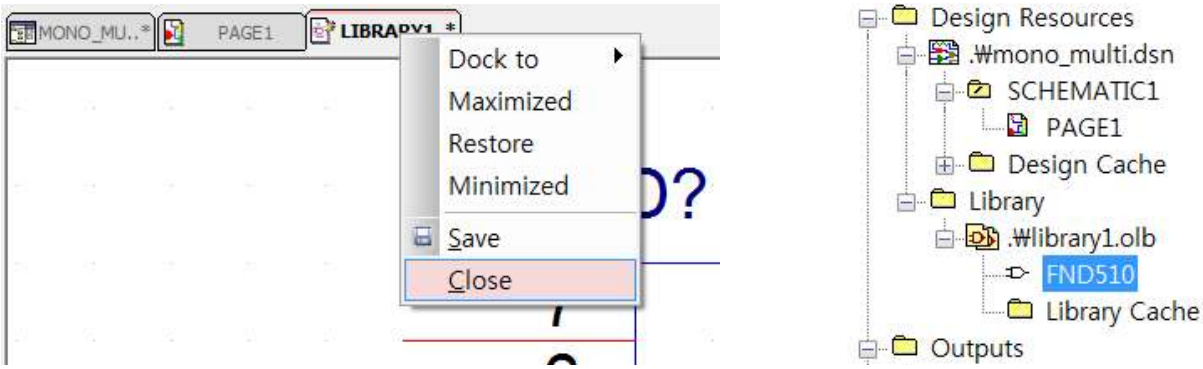
14. 그려진 선을 더블 클릭하여 Line Width를 굵은 타입으로 변경한 후 OK 버튼을 선택한다.



15. 그려진 선을 카피하여 붙여 넣기한다. 나머지 라인도 동일한 방법으로 그린다. Place ellipse을 통해 Dot 모양도 그린다.

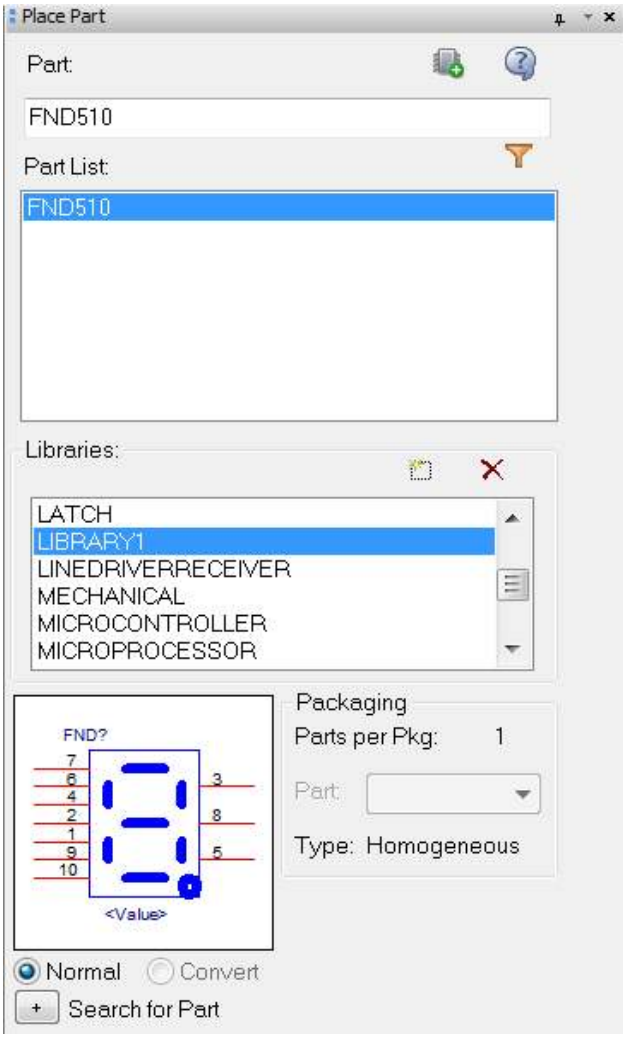


16. 완성 되었으면 상단 LIBRARY1..* 탭에서 마우스 팝업메뉴의 Save를 이용하여 저장한 후 Close 한다. 라이브러리명은 변경 가능하며, 저장 경로를 반드시 기억해야 한다.



※ Library1.olb 라이브러리군에 FND510 부품이 추가되어 있는 것을 확인할 수 있다.

17. Schematic에서 사용하려면 반드시 library1.olb를 Place Part에서 Add Library를 통해 라이브러리를 추가해야만 FND510을 사용할 수 있다.

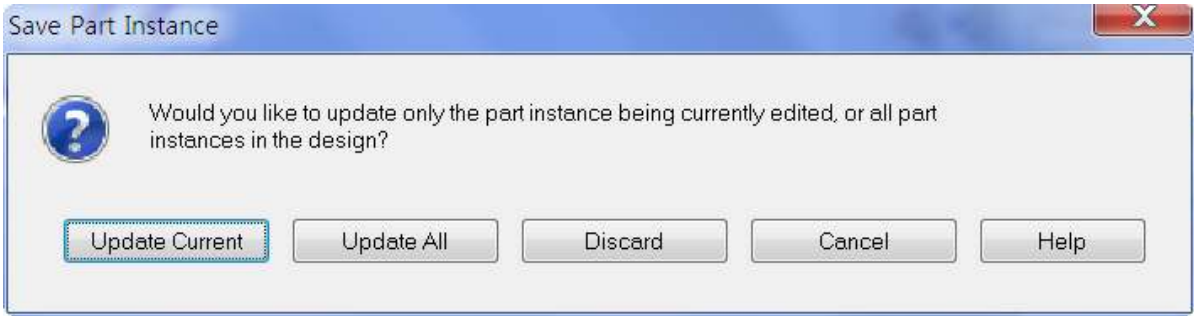


※ Schematic의 부품 배치/배선시 Edit Part를 통해 부품 Pin의 속성이나 그래픽 등을 변경하면 원 라이브러리의 Symbol이 변경되는 것은 아니기 때문에 얼마든지 배선에 편리하게 수정할 수 있다.

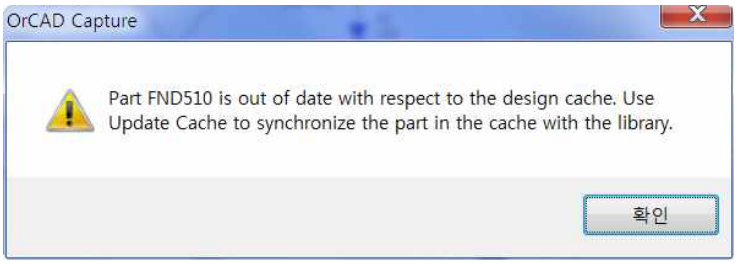
※ 수정 후 Part Edit 창을 Close 하게 되면 아래와 같은 창이 뜨게 되며, 내용은 다음과 같다.

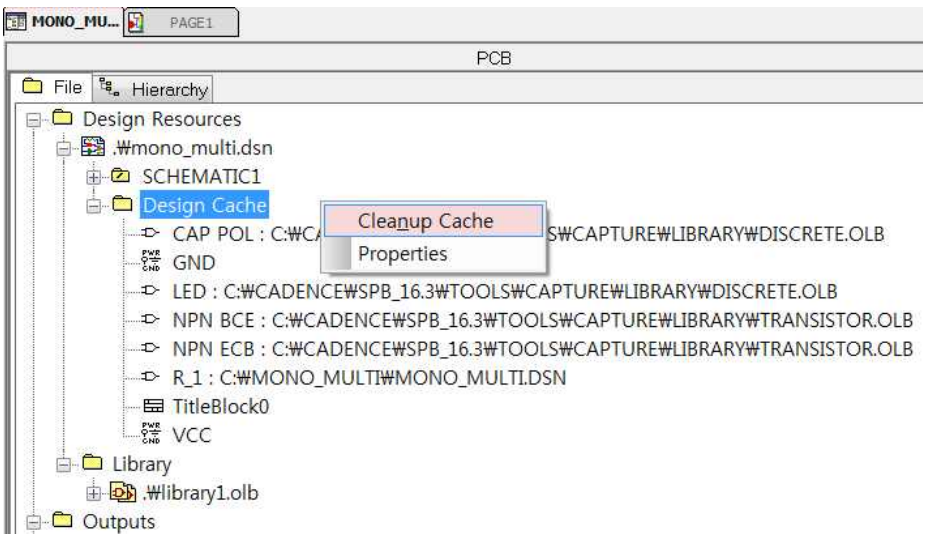
Update Current - 현재의 부품만 적용

Update All - Schematic내 동일한 부품의 전체 일괄 적용



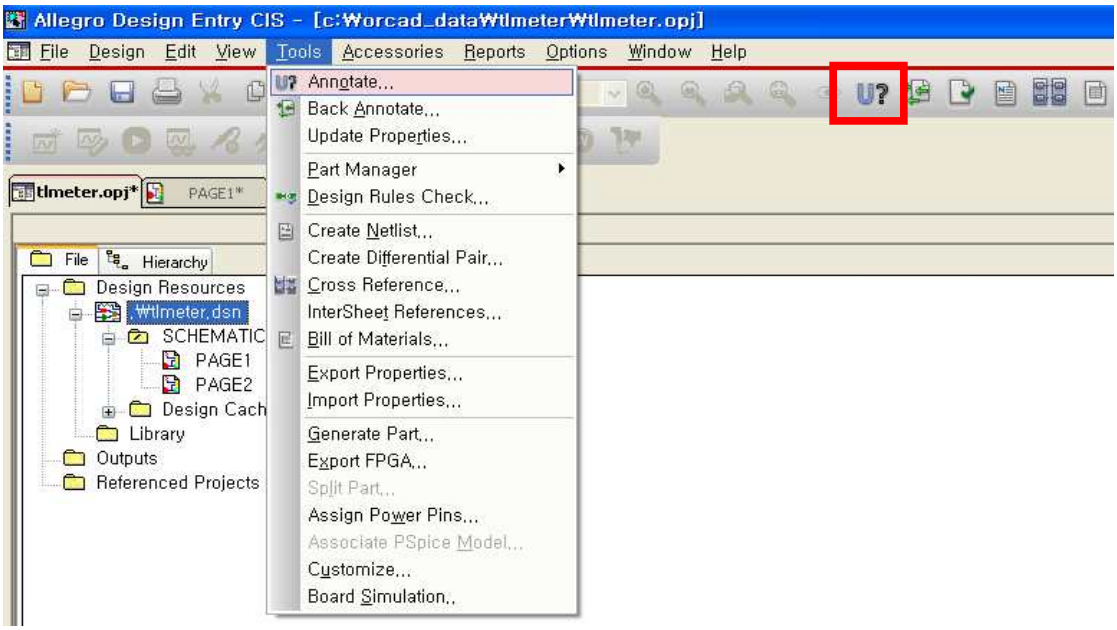
※ 편집한 부품 등의 배치시 아래와 같은 메시지가 나타날 경우에는 라이브러리 업데이트를 위해서 Cleanup Cache를 실행한 뒤 배치해야 한다.

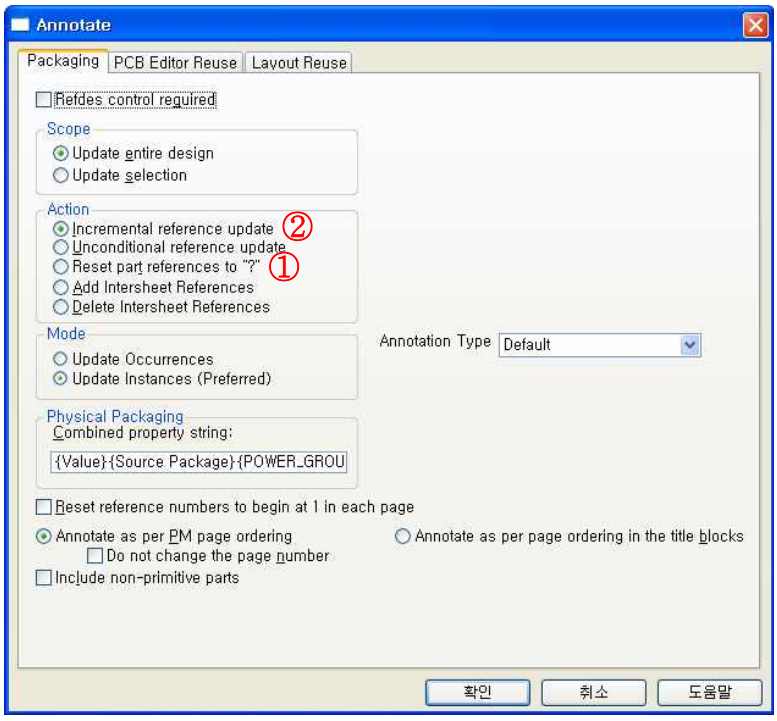




5 부품참조번호 자동부여 - Annotate

■ Part Reference(부품 참조번호) 자동 부여





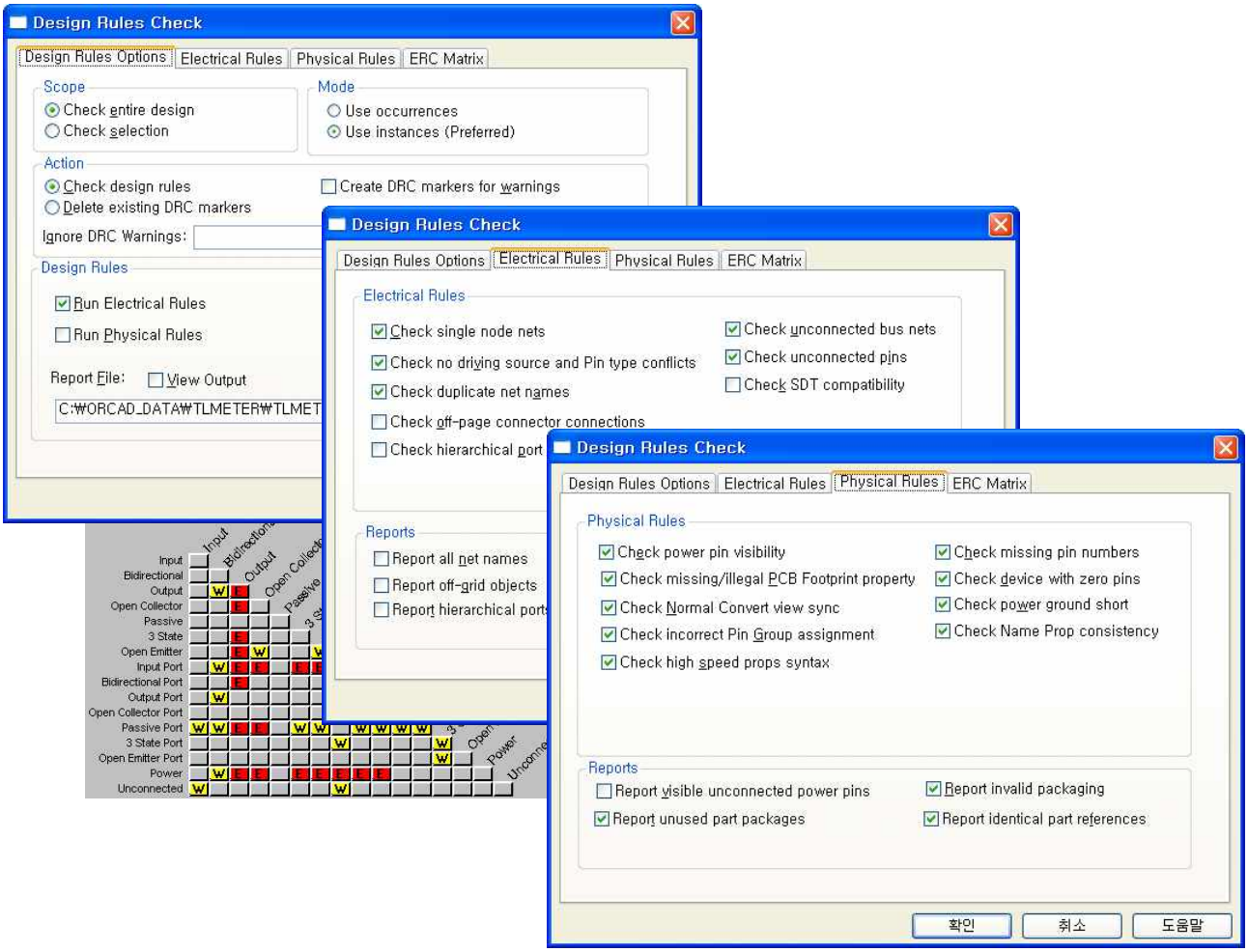
- 부품참조번호 자동 부여 순서

  부품 배치 위치도에 따라
  좌 - 우
  상 - 하 순.

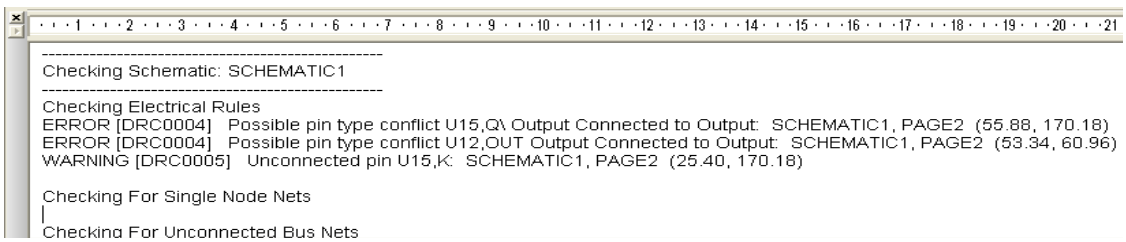
① 초기화
② 증가형

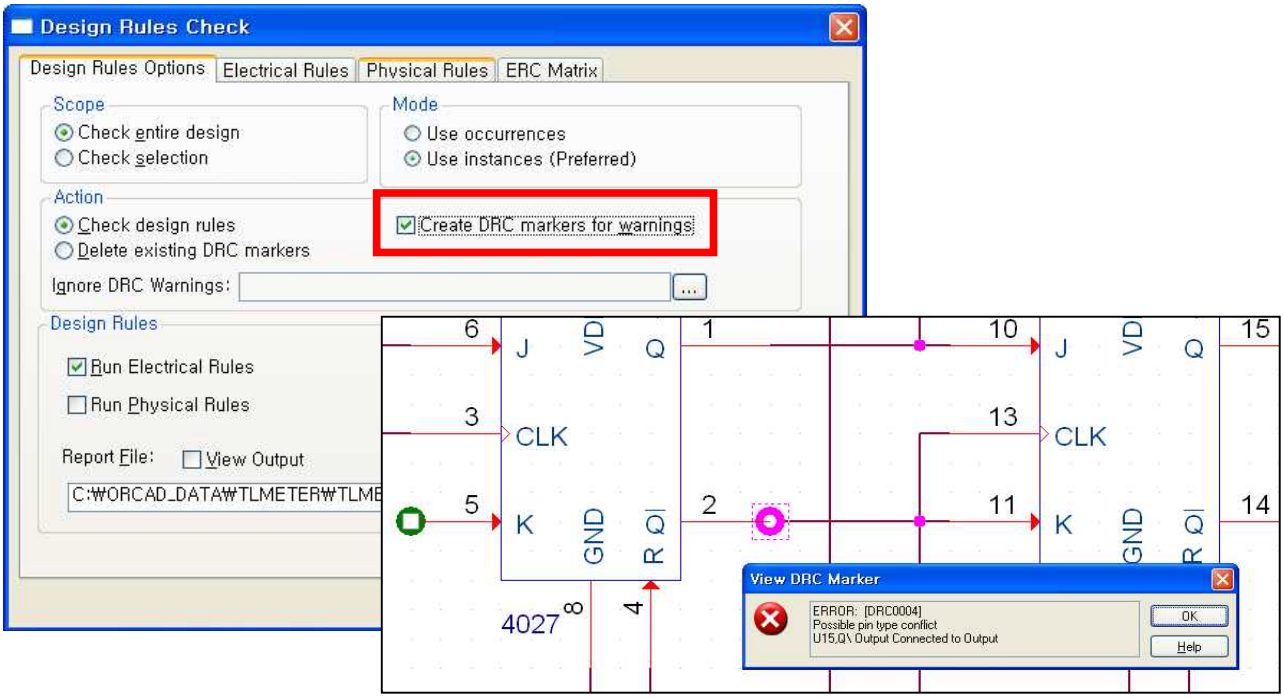
6 Design Rule Check

■ Design Rule Check(DRC)



※ 에러 발생시

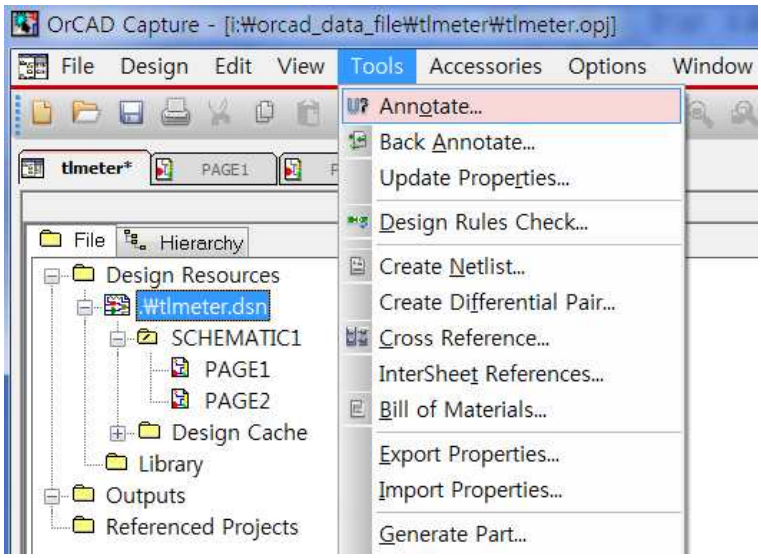



Design Rules Check
Design Rules Options
Electrical Rules
Physical Rules
ERC Matrix
Scope
Check entire design
Check selection
Mode
Use occurrences
Use instances (Preferred)
Action
Check design rules
Delete existing DRC markers
Create DRC markers for warnings
Ignore DRC Warnings:
Design Rules
Run Electrical Rules
Run Physical Rules
Report File:
View Output
C:₩ORCAD_DATA₩TLMETER₩TLME
6
J
VD
Q
1
10
15
3
CLK
13
5
K
GND
R Q
2
11
14
4027
8
4
View DRC Marker
ERROR: [DRC0004]
Possible pin type conflict
U15.Q\ Output Connected to Output
OK
Help

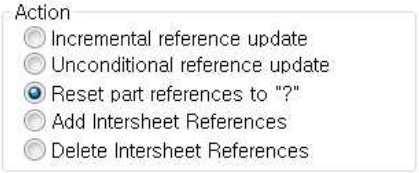
Lab.

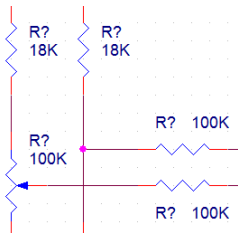
• Annotate 및 DRC 실행

1. Project Manager창을 활성화 시킨 다음, 메뉴바 Tools - Annotate...를 선택하거나, 툴바의 Annotate 아이콘을 선택한다.

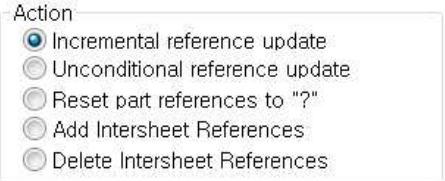


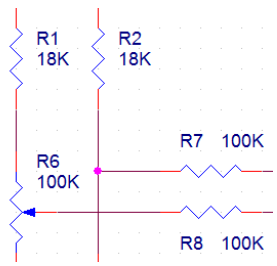
2. Annotate창의 Action 항목 중 Reset part references to "?"를 체크한 후 확인 버튼을 선택한다.(연속 확인)



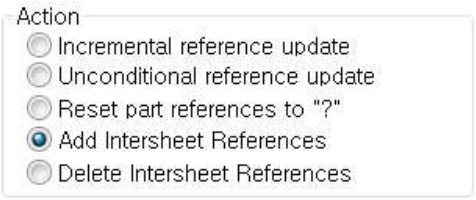


3. 다시 Annotate창을 띄운 다음, Action 항목 중 Incremental reference update를 체크한 후 확인 버튼을 선택한다.(연속 확인)

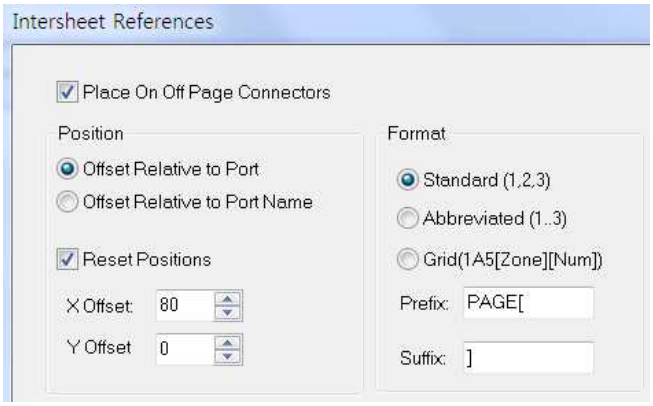


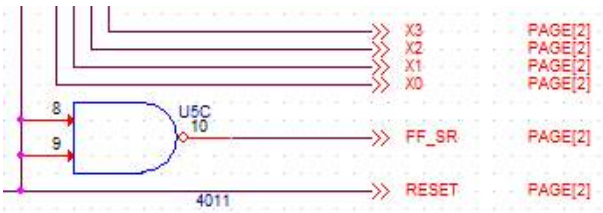


4. 추가 작업으로 Annotate창을 띄운 다음, Action 항목 중 Add Intersheet Reference 를 체크한 후 확인 버튼을 선택한다.

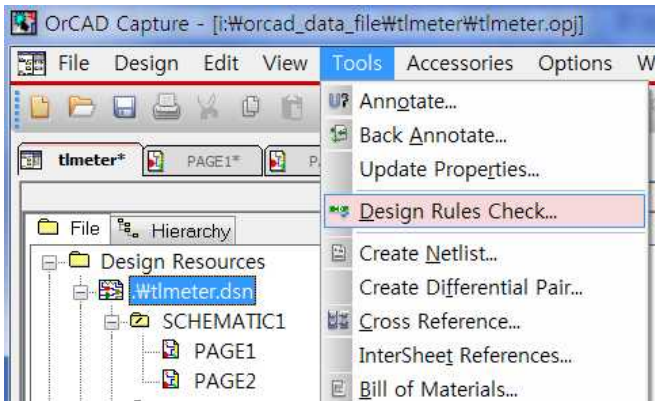


5. Intersheet References창이 뜨면 Format 항목의 Prefix와 Suffix에 다음과 같이 입력한 후 OK 버튼을 선택한다.





6. DRC 실행을 위해서 메뉴바 Tools - Design Rules Check...를 선택한다.



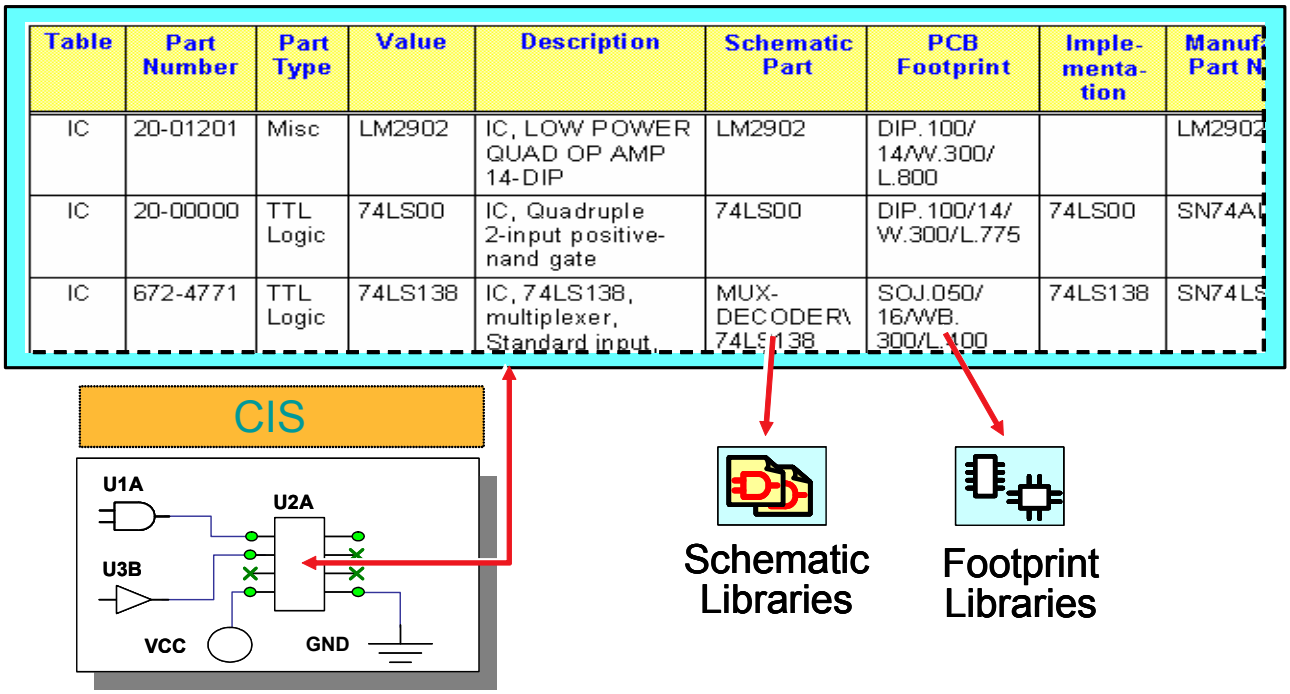
7. Design Rules Check창의 Action 항목 중 Create DRC markers for warnings에 체크, Design Rules 항목 중 View Output 에 체크한 후 확인 버튼을 선택한다.(연속 예)

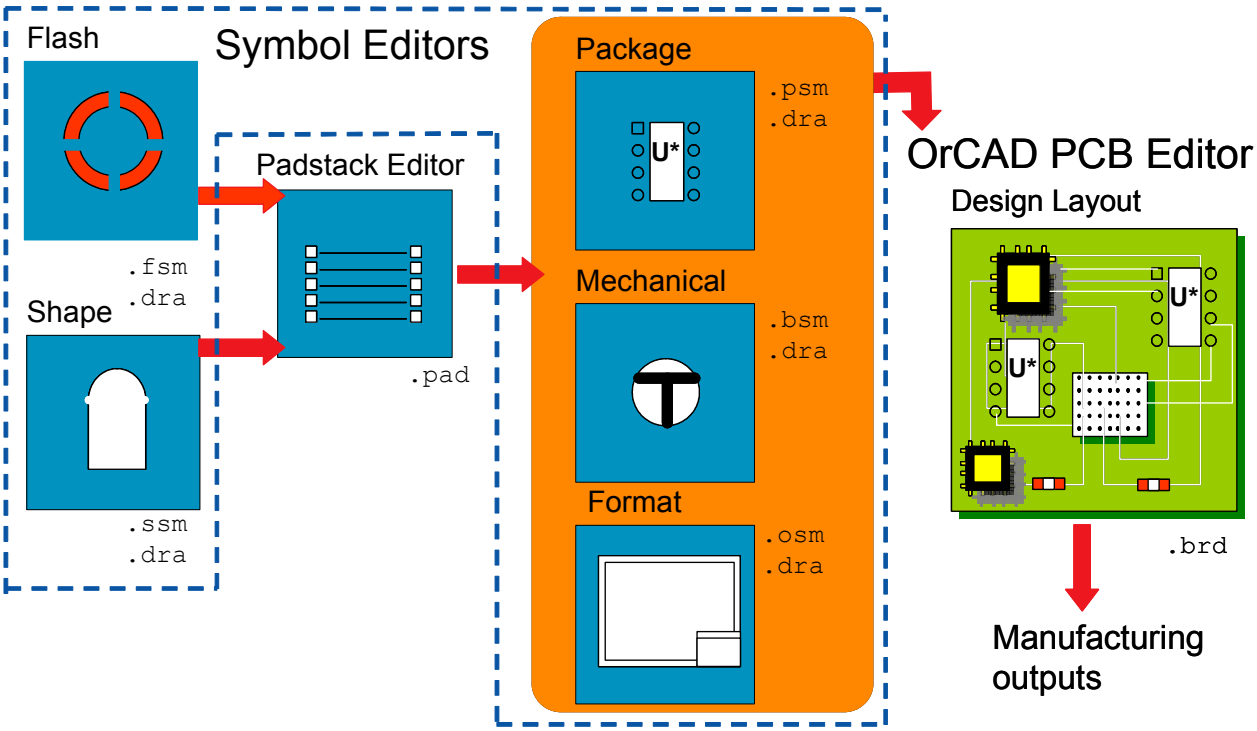
8. Tlmeter.drc 메시지창을 확인한 후 닫는다.(Error 발생시 수정/보완)

7 PCB Footprint 부여

■ Footprint 매칭

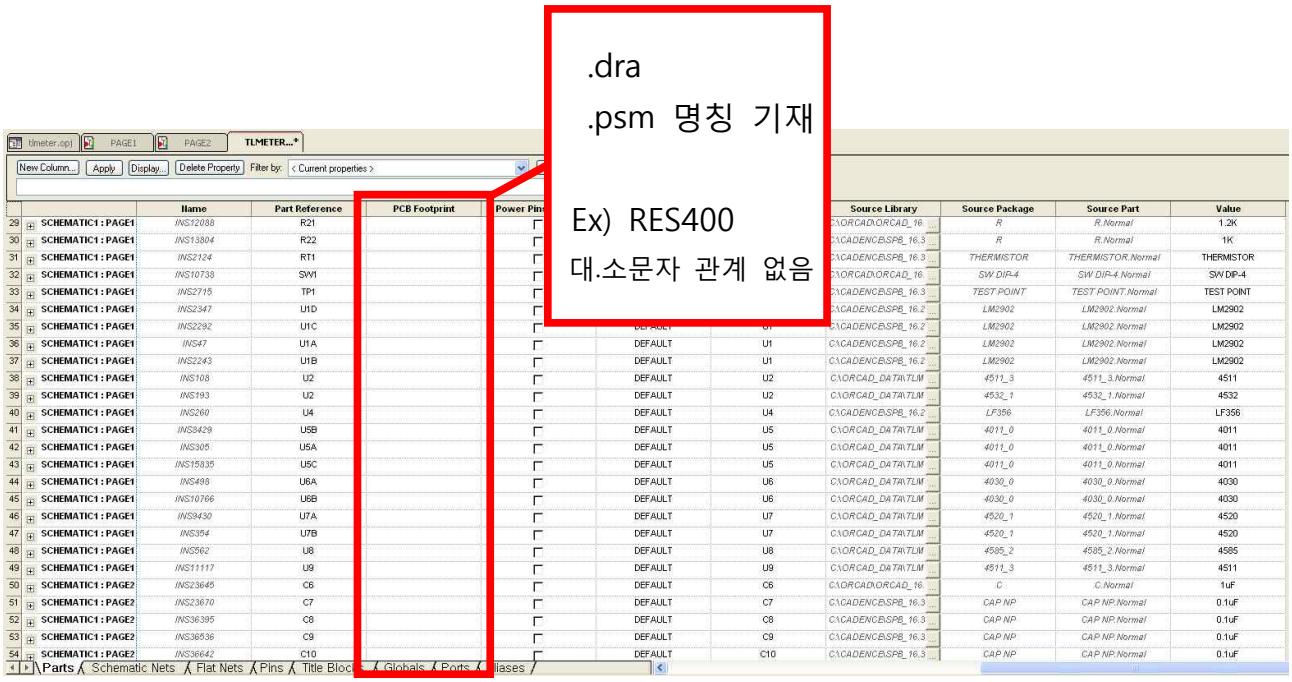
Table	Part Number	Part Type	Value	Description	Schematic Part	PCB Footprint	Imple-menta-tion	Manuf Part N
IC	20-01201	Misc	LM2902	IC, LOW POWER QUAD OP AMP 14-DIP	LM2902	DIP.100/ 14/W.300/ L.800		LM2904
IC	20-00000	TTL Logic	74LS00	IC, Quadruple 2-input positive-nand gate	74LS00	DIP.100/14/ W.300/L.775	74LS00	SN74A
IC	672-4771	TTL Logic	74LS138	IC, 74LS138, multiplexer, Standard input,	MUX-DECODER\ 74LS138	SOJ.050/ 16/WB. 300/L.400	74LS138	SN74LS



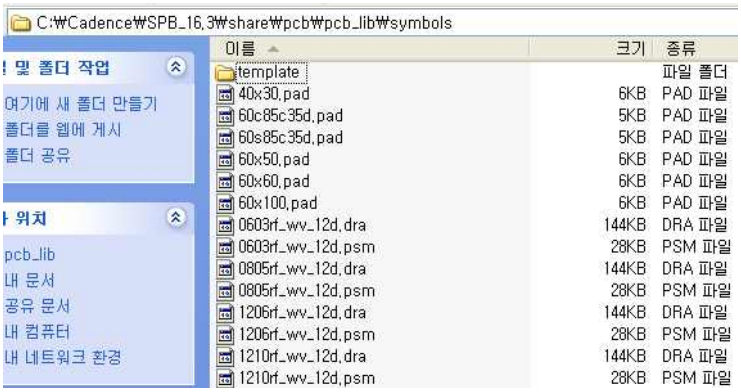


■ Schematic Part별 Footprint 부여

- 각 부품별로 Value 값을 참고로 하여 PCB Footprint 속성칸을 반드시 정확하게 기재.
- 다음과 같은 경우 Netlist 생성시 Error가 발생되고 Netlist 생성이 되지 않음
  - ⇨ **Dra/psm 명칭의 오타**
  - ⇨ **새로이 생성한 Footpint의 경로 누락(Pad path, psm path에 반드시 경로 추가)**
  - ⇨ **Dra/psm Footprint에 사용되는 Pin(Padstack, .pad) 또한 정확하게 경로 설정**
  - ⇨ **Schematic Part의 Pin과 dra/psm Footprint pin의 수량 및 number 불일치**
  - ⇨ **No Connect Pin 정확히 정의**



■ PCB Editor 기본 제공 Footprint 경로



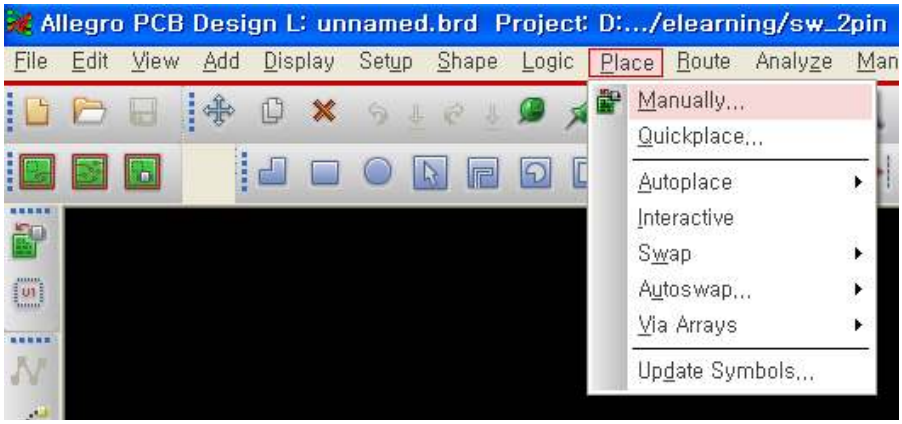
파일 의미 예.

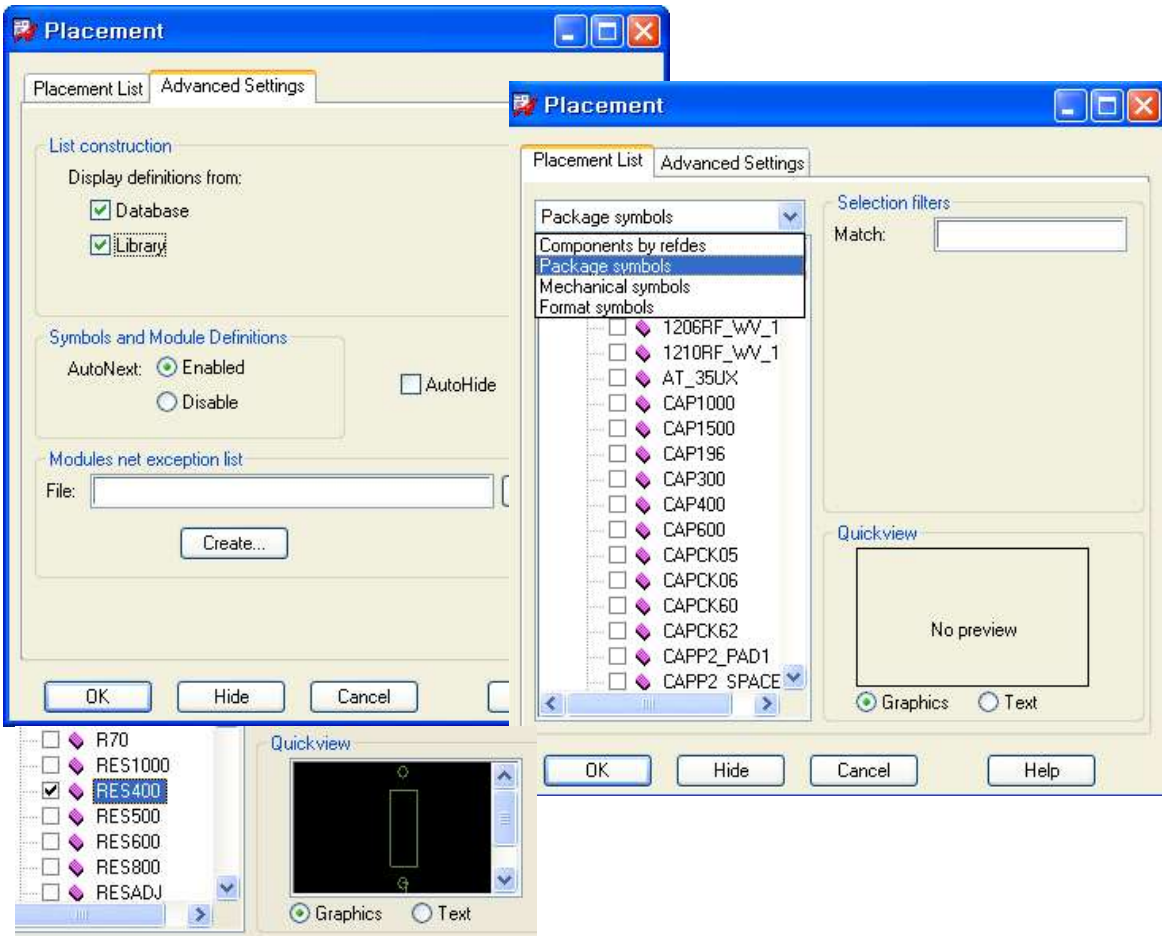
*.dra : Drawing 파일로써 열어보고, 편집 가능한 파일

*.psm : Package symbol인 Binary 파일로써 설계자가 보거나, 편집할 수 없음(컴퓨터만 인식)

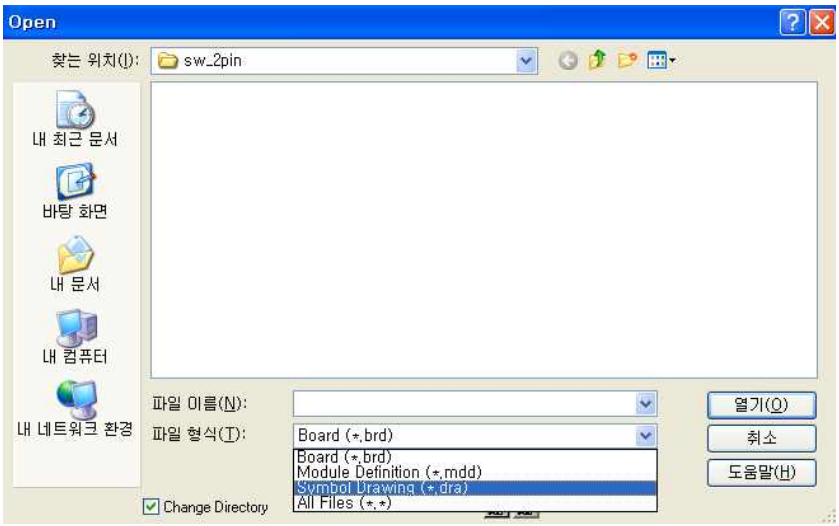
■ PCB Editor 기본 제공 Footprint 확인하는 방법

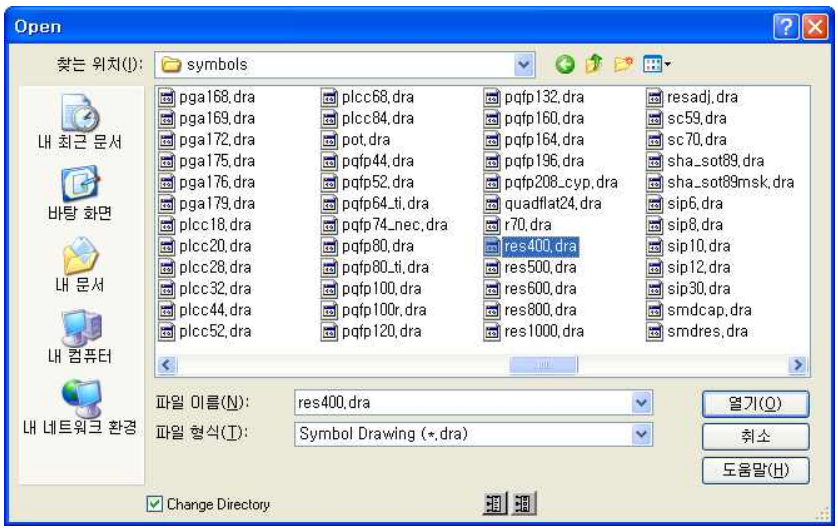
• Place 메뉴 활용(단, 반드시 .brd(Master Design File, board) 파일이어야 함)

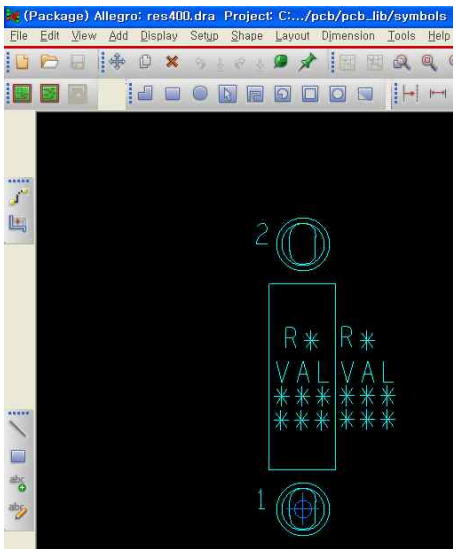




- .dra 파일 open 방법(.psm 파일은 Binary File로써 설계자 보기 및 편집 불가)

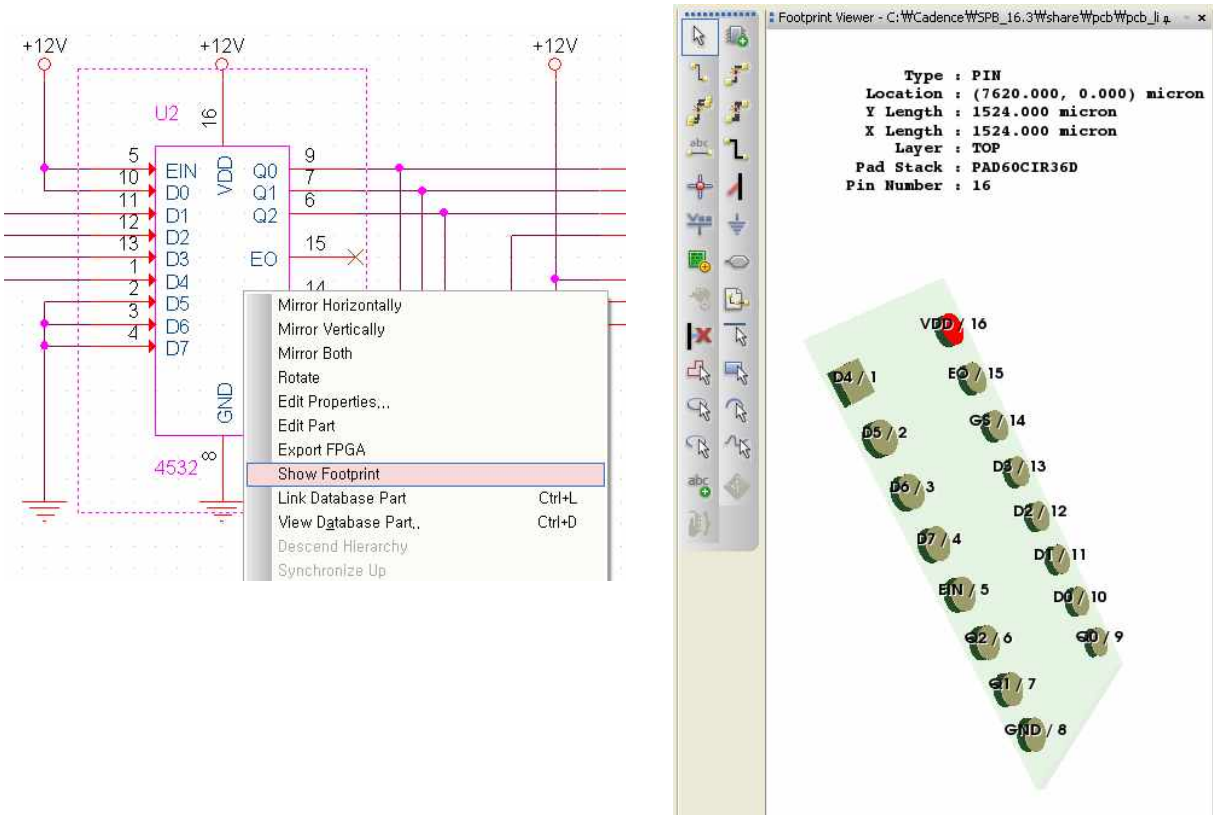






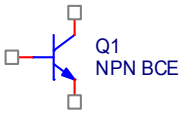
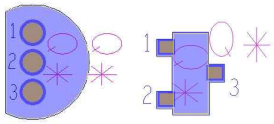
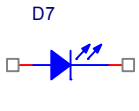
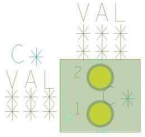
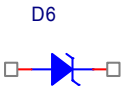
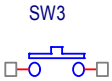
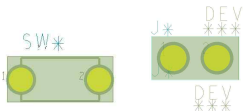
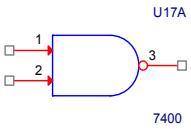
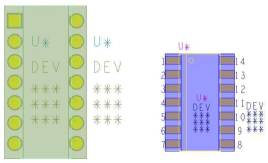
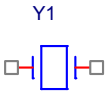
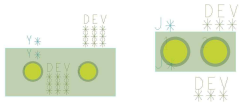
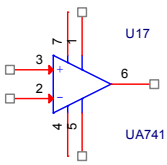
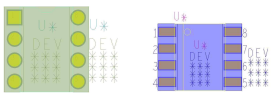
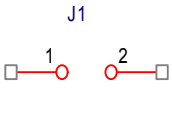
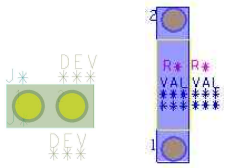
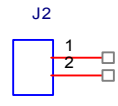
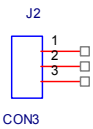
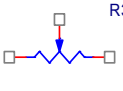
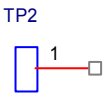
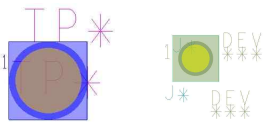
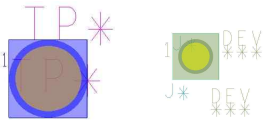
■ 3D Viewer

• Schematic part에 Footprint가 부여되어 있으면 Footprint를 3D로 보기가 가능



■ 자주 사용되는 Footprint(.dra/.psm) 명칭 및 이미지

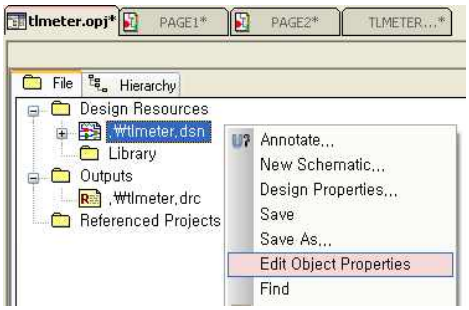
Schematic Part	PCB Footprint (Package symbol)	Schematic Part	PCB Footprint (Package symbol)
R1 R	res400 smdres	C16 C	cap196
C16 CAP NP	capck06 smdcap	D5 DIODE	cap196

Schematic Part	PCB Footprint (Package symbol)	Schematic Part	PCB Footprint (Package symbol)
	 to92 sot23		 cap196
	dio400		 PB-2P-60x35 jumper2
	 DIP14_3 SOIC14		 CRYS11MHZ jumper2
	 dip8_3 SOIC8.		 jumper2 res400
	jumper2		jumper3
	resadj		 TP jumper1
	res400		 TP jumper1

■ Footprint 입력 방법

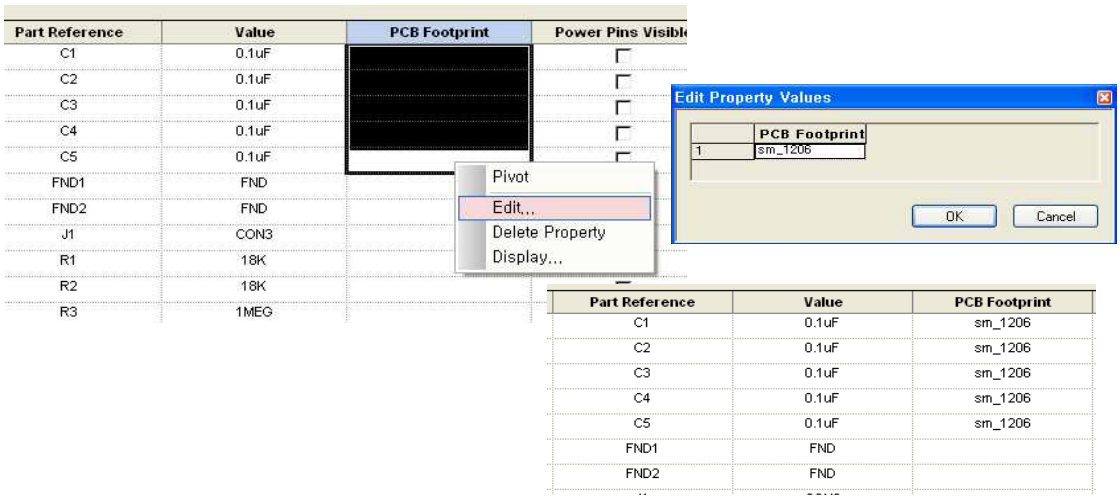
1. 부품 속성란 직접 입력 방법

전체 부품 속성 확인



부품 속성

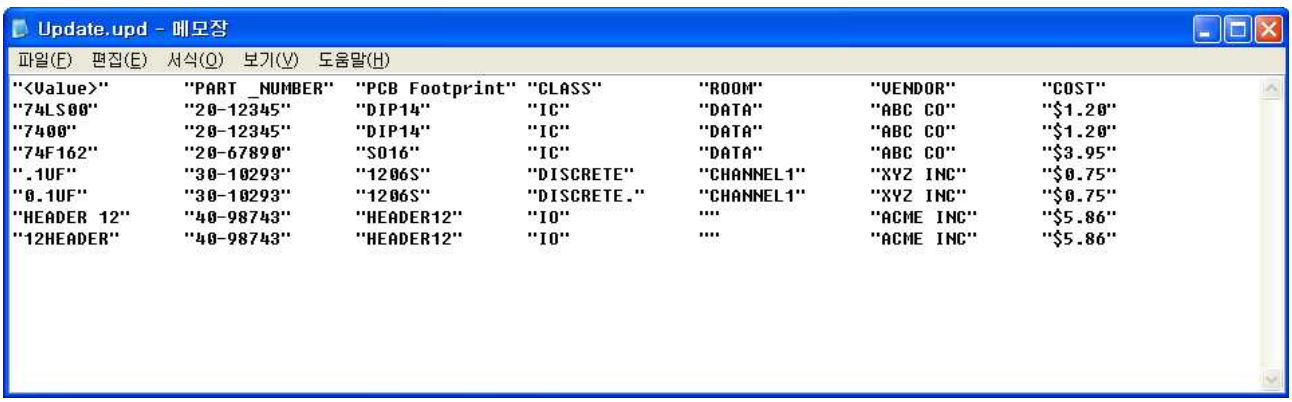
Part Reference	Value	PCB Footprint
C1	0.1uF	sm_1206
C2	0.1uF	
C3	0.1uF	



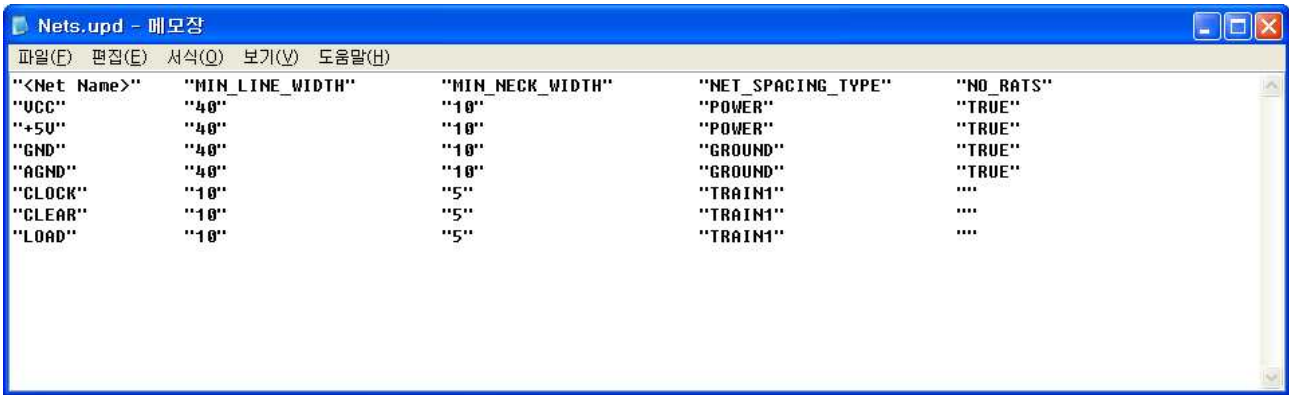
Part Reference	Value	PCB Footprint
C1	0.1uF	sm_1206
C2	0.1uF	sm_1206
C3	0.1uF	sm_1206
C4	0.1uF	sm_1206
C5	0.1uF	sm_1206
FND1	FND	
FND2	FND	

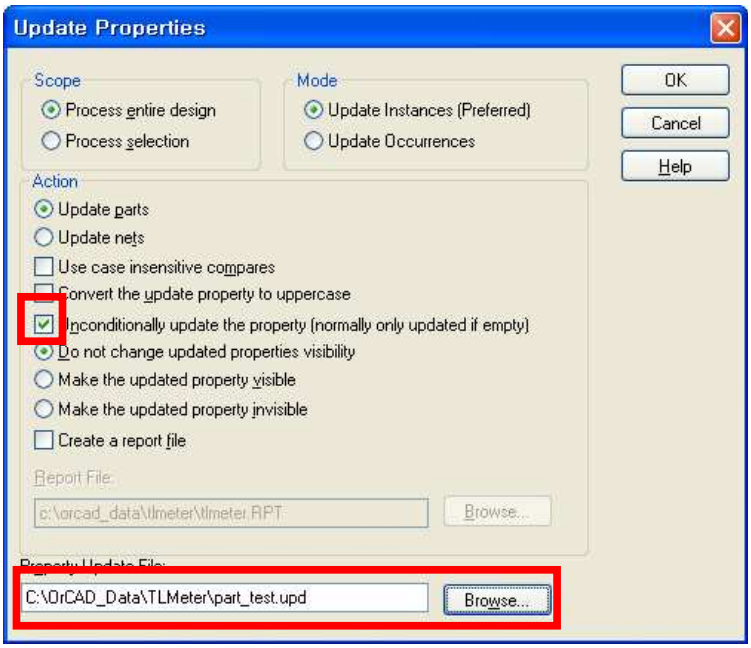
2. .UPD 파일 생성 후 Update Properties 활용 방법

- Part



- Nets

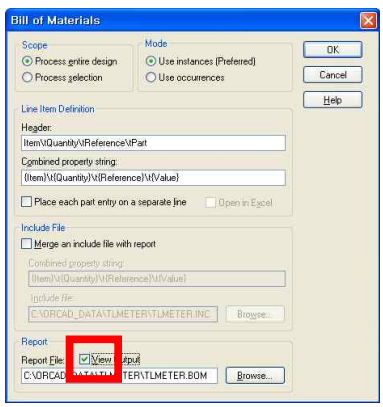




Tools - Update Properties...

※ Upd 파일을 신속하게 만드는 방법

- Bill of materials 메뉴 활용, BOM 파일 생성 후 부품 Value 위주 편집(.upd로 저장)



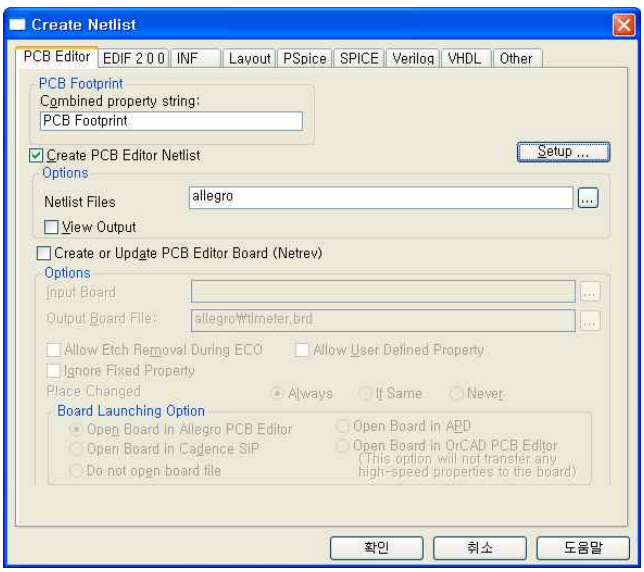
8 Netlist 생성

• Schematic의 그래픽적인 심벌 형태의 도면을 텍스트화 한 Netlist를 생성

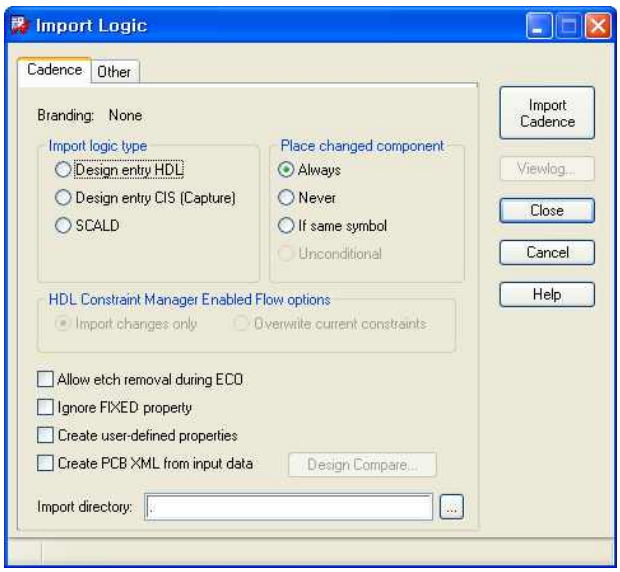
Tools - Create Netlist...

① Netlist 생성 후 PCB Editor Import - Logic... 기능 활용 방법

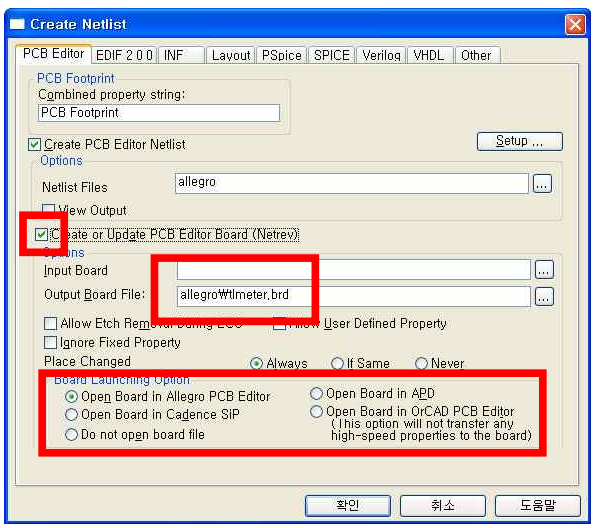
Capture - Create Netlist

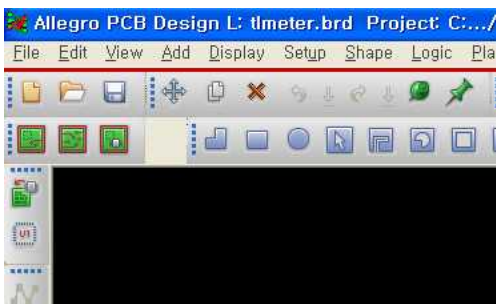


PCB Editor - Import - Logic...

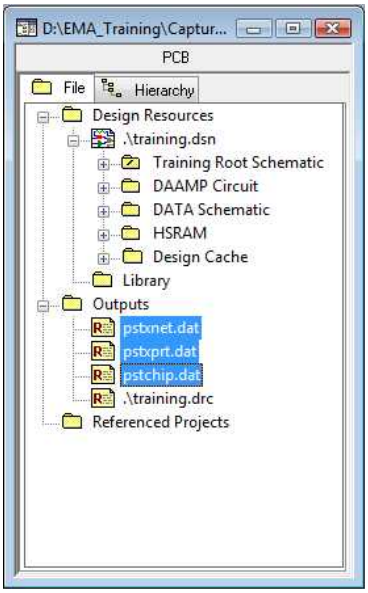


② Netlist 생성과 동시에 PCB Editor *.brd 파일로 자동 Open





- Output File 3EA (pstxnet.dat / pstxprt.dat / pstchip.dat)



(Example)

PSTCHIP.DAT

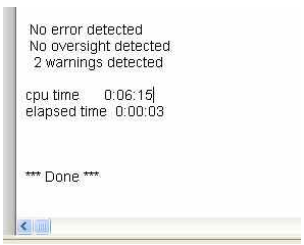
```
FILE_TYPE=LIBRARY_PARTS;
{ Using PSTWRITER 10.0-P002Mar-30-2004 at 15:38:45}
primitive 'CAP NP_SM_0805_0.1UF';
 pin
  '1':
    PIN_NUMBER='(1)';
    PINUSE='UNSPEC';
  '2':
    PIN_NUMBER='(2)';
    PINUSE='UNSPEC';
 end_pin;
 body
  PART_NAME='CAP NP';
  JEDEC_TYPE='SM_0805';
  VALUE='0.1uF';
 end_body;
```

PSTXNET.DAT

```
FILE_TYPE = EXPANDEDNETLIST;
{ Using PSTWRITER 10.0-P002Mar-30-2004 at 15:38:45 }
NET_NAME
'N01376'
 '@RELEASE.RELEASE ROOT SCHEMATIC(SCH_1):N01376':
 C_SIGNAL='@release.\release root schematic\(sch_1):n01376';
NODE_NAME                R9 2
 '@RELEASE.RELEASE ROOT SCHEMATIC(SCH_1):
DATA@RELEASE.DATA SCHEMATIC(SCH_1):
DAAMP0@RELEASE.DAAMP CIRCUIT(SCH_1):
I00316@TRAINING-LIB.R.NORMAL(CHIPS)':
 '2':;
NODE_NAME                U12 2
 '@RELEASE.RELEASE ROOT SCHEMATIC(SCH_1):
DATA@RELEASE.DATA SCHEMATIC(SCH_1):
DAAMP0@RELEASE.DAAMP CIRCUIT(SCH_1):
I00210@TRAINING-LIB.DG419AK.NORMAL(CHIPS)':
 'S1':;
```

※ Netlist 생성이 안 되는 경우, Capture의 Session log를 확인하여 수정한다.

Ex)




```
------ Oversights/Warnings/Errors ------

#1   WARNING(SPMHNI-192): Device/Symbol check warning detected.

WARNING(SPMHNI-194): Symbol 'FND510' for device 'CON10_2_FND510_FND' not found in PSMPATH or must be "dbdoctor"ed.

#2   WARNING(SPMHNI-192): Device/Symbol check warning detected.

ERROR(SPMHNI-196): Symbol 'SOIC8' for device 'LF356_SOIC8_LF356' has extra pin '8'.
```

```
Spawning... "C:\Cadence\SPB_16.3\tools\capture\pstswp.exe" -pst -d "c:\orcad_data\tlmeter\tlmeter.dsn" -n "c:\orcad
#1 Error   [ALG0012] Property "PCB Footprint" missing from instance FND1: SCHEMATIC1, PAGE1 (256.54, 15.24).
#2 Error   [ALG0012] Property "PCB Footprint" missing from instance FND2: SCHEMATIC1, PAGE1 (93.98, 162.56).
#3 Aborting Netlisting... Please correct the above errors and retry.
```

Lab.

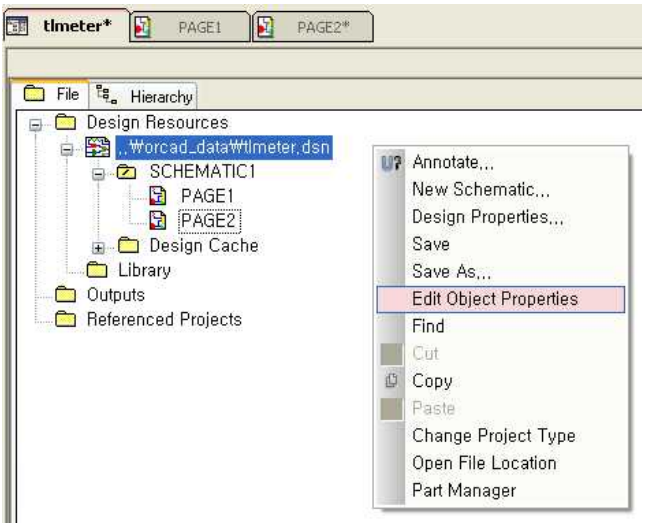
• PCB Footprint 부여(직접 입력 방법)

1. 실제 사용 부품을 고려하여 각 부품별 PCB Footprint를 확인한다.

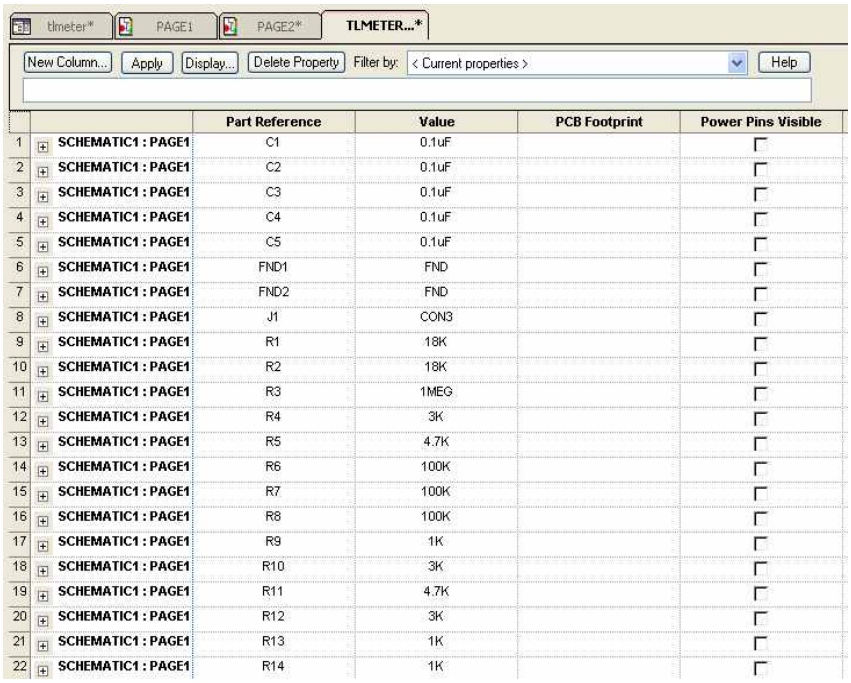
- PCB Editor 제공 Footprint명

Item	Qt	Reference	Part	PCB Footprint
1	14	C1,C2,C7,C8,C9,C10,C11,C12 C13,C14,C15	0.1uF	SMDCAP
		C3,C4,C5	0.1uF	CAP196
2	1	C6	1uF	CAP196
3	4	D1,D2,D3,D4	LED	CAP196
4	2	FND1,FND2	FND	DIP10_2
5	1	J1	CON3	JUMPER3
6	1	RT1	THERMISTOR	JUMPER2
7	2	R1,R2	18K	SMDRES
8	1	R3	1MEG	RES400
9	4	R4,R10,R12,R16	3K	SMDRES
10	4	R5,R11,R15,R17	4.7K	SMDRES
11	1	R6	RESISTOR VAR	RESADJ
12	3	R7,R8,R24	100K	SMDRES
13	4	R9,R13,R14,R22	1K	SMDRES
14	9	R18,R19,R20,R21,R23,R25, R27,R28,R29	1.2K	SMDRES
15	1	R26	51K	SMDRES
16	1	SW1	SW DIP-4	DIP8_3
17	1	SW2	SW SPDT	JUMPER3
18	1	TP1	TEST POINT	TP
19	1	U1	LM2902	SOIC14
20	1	U2	4532	SOIC16
21	2	U2,U9	4511	DIP16_3
22	1	U4	LF356	SOIC8
23	1	U5	4011	DIP14_3
24	1	U6	4030	DIP14_3
25	1	U7	4520	DIP16_3
26	1	U8	4585	SOIC16
27	2	U10,U13	4081	SOIC14
28	1	U11	4071	SOIC14
29	1	U12	NE555	SOIC8
30	1	U14	4069	SOIC14
31	2	U15,U16	4027	SOIC16

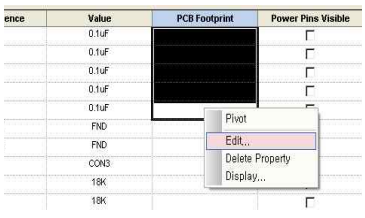
2. Project manager 창을 활성화 시킨 다음 RMB 버튼의 Edit Object Properties 클릭 한다.



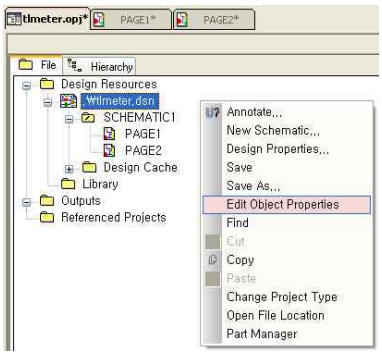
3. 전체 도면에 사용된 Part가 나타나며, PCB Footprint 속성 항목에 각 부품별로 Footprint 명칭인 Package symbol 명칭을 입력하여 완료한다.
(복사 메뉴와 Edit...메뉴를 이용하여 신속하게 입력을 완료할 수 있다)



		Part Reference	Value	PCB Footprint	Power Pins Visible
1	SCHEMATIC1 : PAGE1	C1	0.1uF		
2	SCHEMATIC1 : PAGE1	C2	0.1uF		
3	SCHEMATIC1 : PAGE1	C3	0.1uF		
4	SCHEMATIC1 : PAGE1	C4	0.1uF		
5	SCHEMATIC1 : PAGE1	C5	0.1uF		
6	SCHEMATIC1 : PAGE1	FND1	FND		
7	SCHEMATIC1 : PAGE1	FND2	FND		
8	SCHEMATIC1 : PAGE1	J1	CON3		
9	SCHEMATIC1 : PAGE1	R1	18K		
10	SCHEMATIC1 : PAGE1	R2	18K		
11	SCHEMATIC1 : PAGE1	R3	1MEG		
12	SCHEMATIC1 : PAGE1	R4	3K		
13	SCHEMATIC1 : PAGE1	R5	4.7K		
14	SCHEMATIC1 : PAGE1	R6	100K		
15	SCHEMATIC1 : PAGE1	R7	100K		
16	SCHEMATIC1 : PAGE1	R8	100K		
17	SCHEMATIC1 : PAGE1	R9	1K		
18	SCHEMATIC1 : PAGE1	R10	3K		
19	SCHEMATIC1 : PAGE1	R11	4.7K		
20	SCHEMATIC1 : PAGE1	R12	3K		
21	SCHEMATIC1 : PAGE1	R13	1K		
22	SCHEMATIC1 : PAGE1	R14	1K		

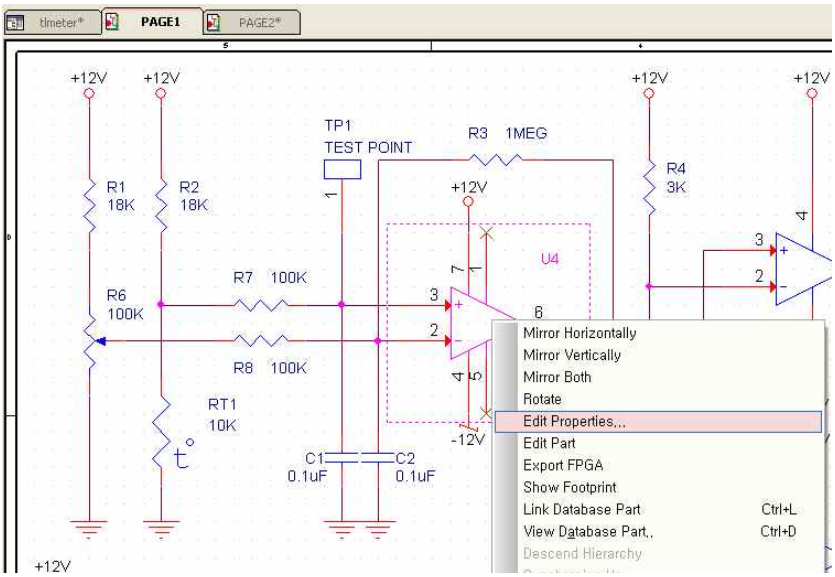


4. 모든 부품의 PCB Footprint 속성에 Footprint 명이 입력되었는지 확인한다.

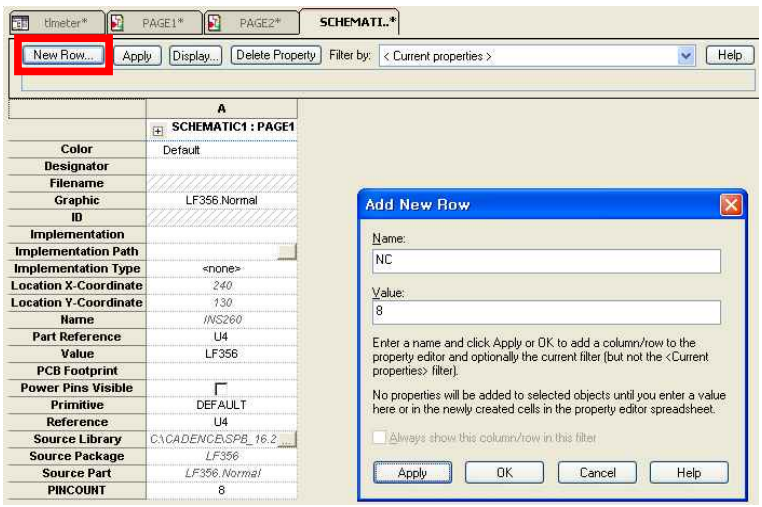


Part Reference	Value	PCB Footprint
C1	0.1uF	SMDCAP
C2	0.1uF	SMDCAP
C3	0.1uF	SMDCAP
C4	0.1uF	SMDCAP
C5	0.1uF	SMDCAP
FND1	FND	DIP10_2
FND2	FND	DIP10_2
J1	CON3	JUMPER3
R1	18K	SMDRES
R2	18K	SMDRES
R3	1MEG	RES400

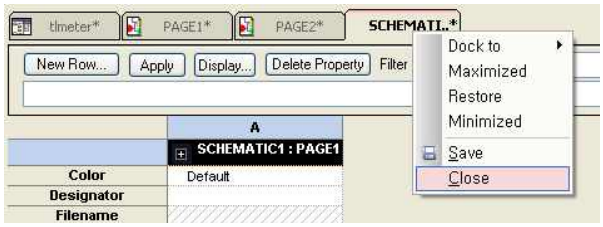
5. PAGE1의 U4인 LF356을 선택하여, RMB 버튼의 Edit Properties...를 선택한다.



6. New Row...메뉴를 클릭한 후, 아래와 같이 추가한 다음, OK 버튼을 선택한다.



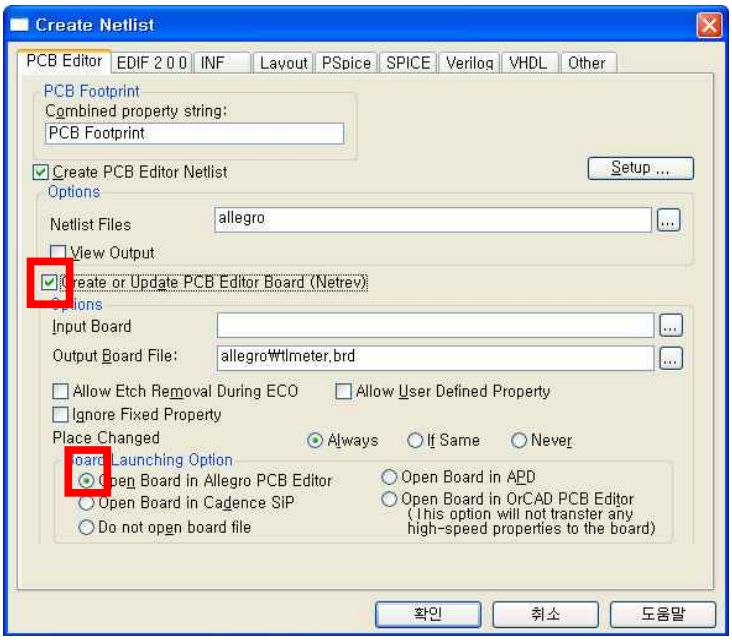
7. Properties 창을 완전히 닫는다.



8. Project Manager 창을 활성화 시킨 후 Save한 다음, Create Netlist 아이콘을 클릭한다.

또는
Tools - Create Netlist...

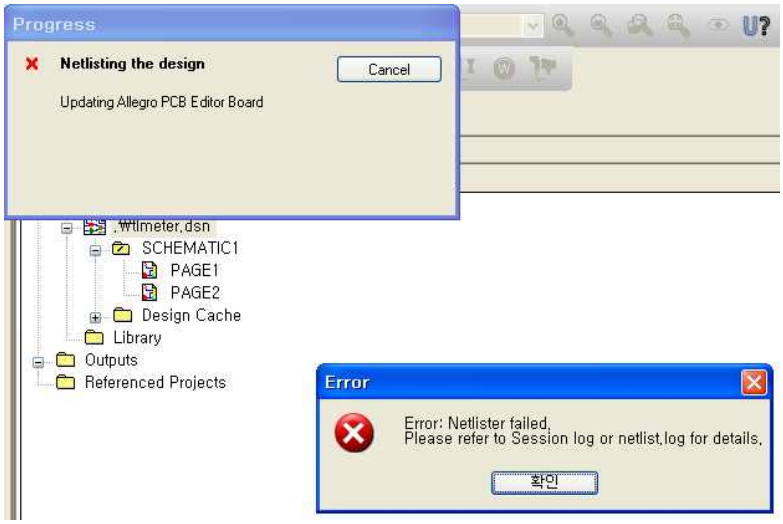
9. Create Netlist 창이 나타나면 아래와 같이 체크한 후 확인 버튼을 클릭한다.



Board Launching Option은 설치되어 있는 프로그램에 따라 선택이 다를 수 있다.

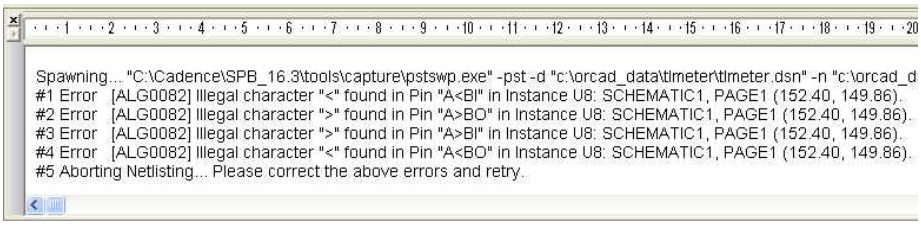
10. 예, 확인 버튼을 차례대로 클릭한다.

11. 에러가 생기며 Netlister failed 메시지가 나타난다.



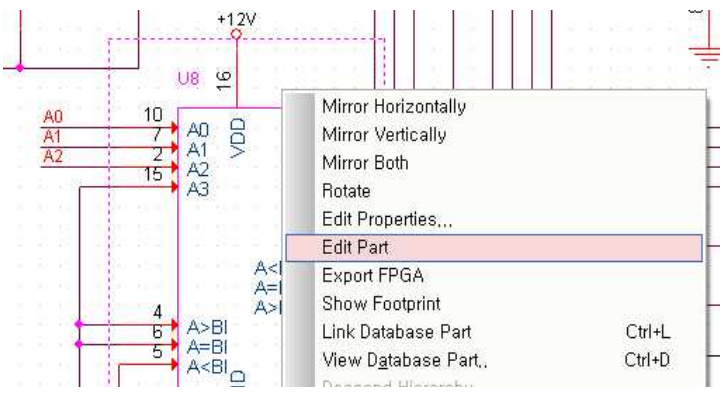
12. 확인 버튼을 클릭하면 PCB Editor 창이 나타나며, 그 창은 닫기버튼 등으로 종료한다.

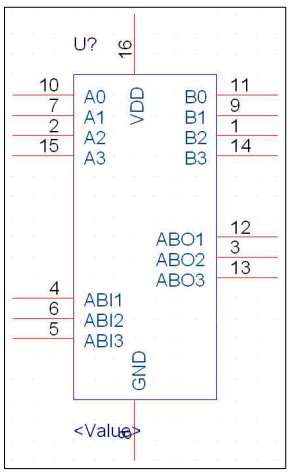
13. Capture의 Session log를 확인해 보면 U8의 Pin name이 특수기호를 사용했기 때문에 Error 가 생겼다.

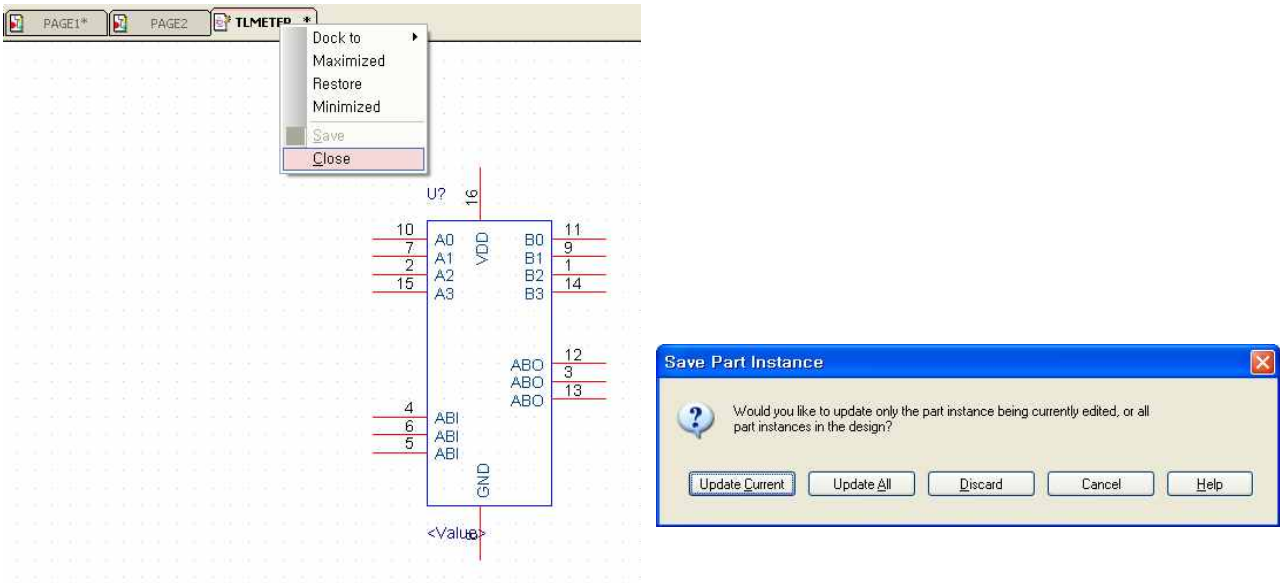


Capture Window - Session Log

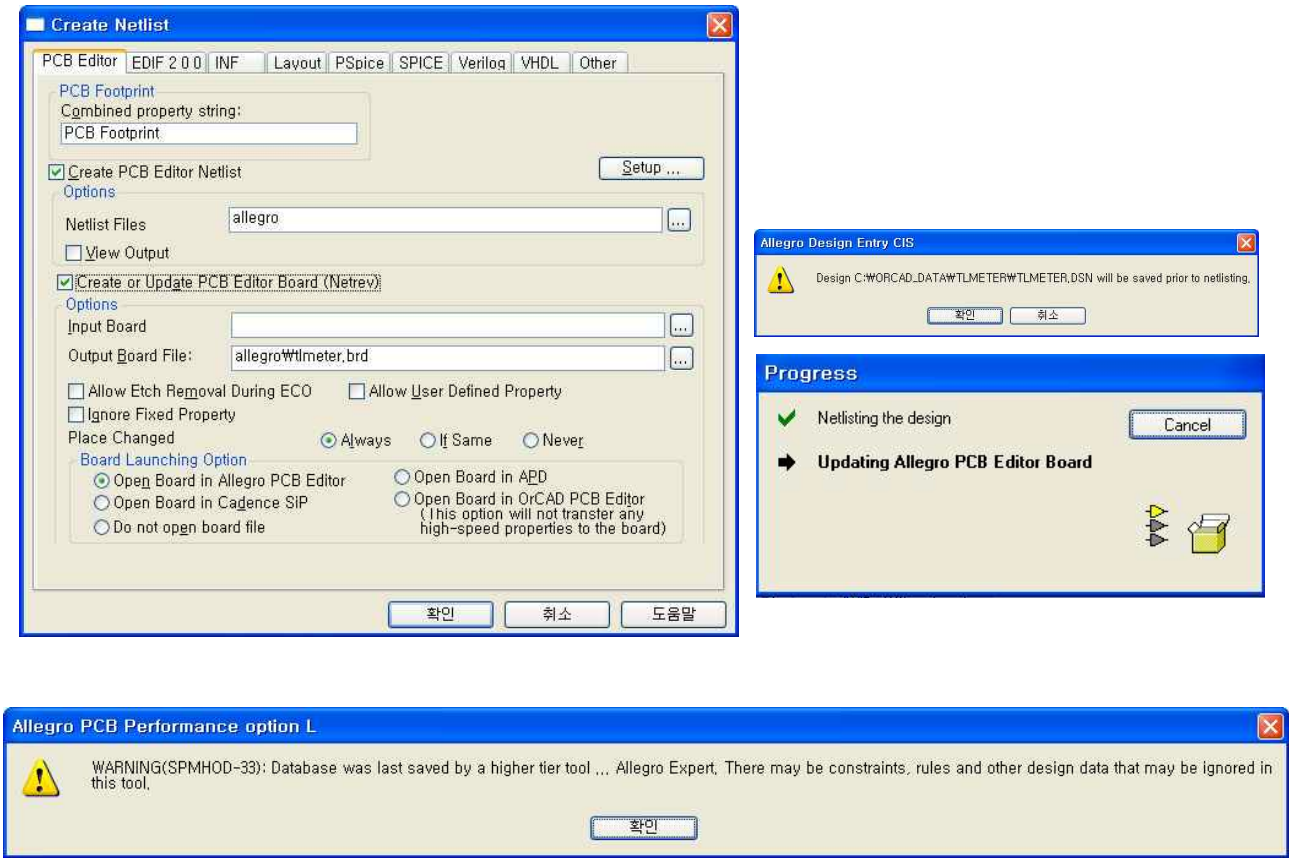
14. U8 4585 부품의 Pin name을 다음과 같이 변경한 후, Update current 로 Edit Part 창을 닫는다.



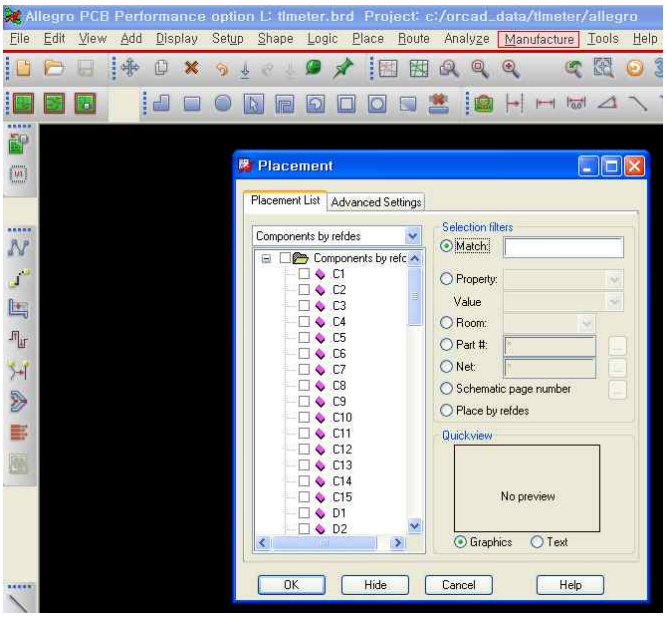




15. 다시 Project Manager 창을 활성화 한 후 Create Netlist 아이콘을 클릭한다.
16. Create Netlist 창이 나타나면 다음과 같이 체크한 후 확인 버튼을 클릭한다.



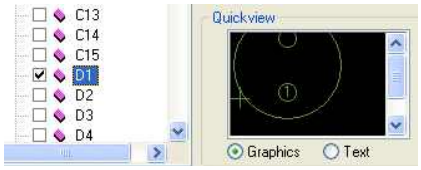
17. Tlmeter.brd의 PCB Editor 창이 나타나며 Placement 창의 Components by refdes 의 list를 확인한다.(Schematic의 사용 부품이 모두 나타나 있음)



Place - Manually... 또는

Place manul 아이콘

※ 체크박스의 체크유무에 따라 Footprint를 미리 볼 수 있음 (반드시 하나씩 체크)



제 2 부

PCB Editor

1 환경 설정

2 Board Outline

3 Constraints 설정

4 부품 배치(Placement)

5 배선(Route)

6 설계 검사(Status)

7 Gerber 파일 생성

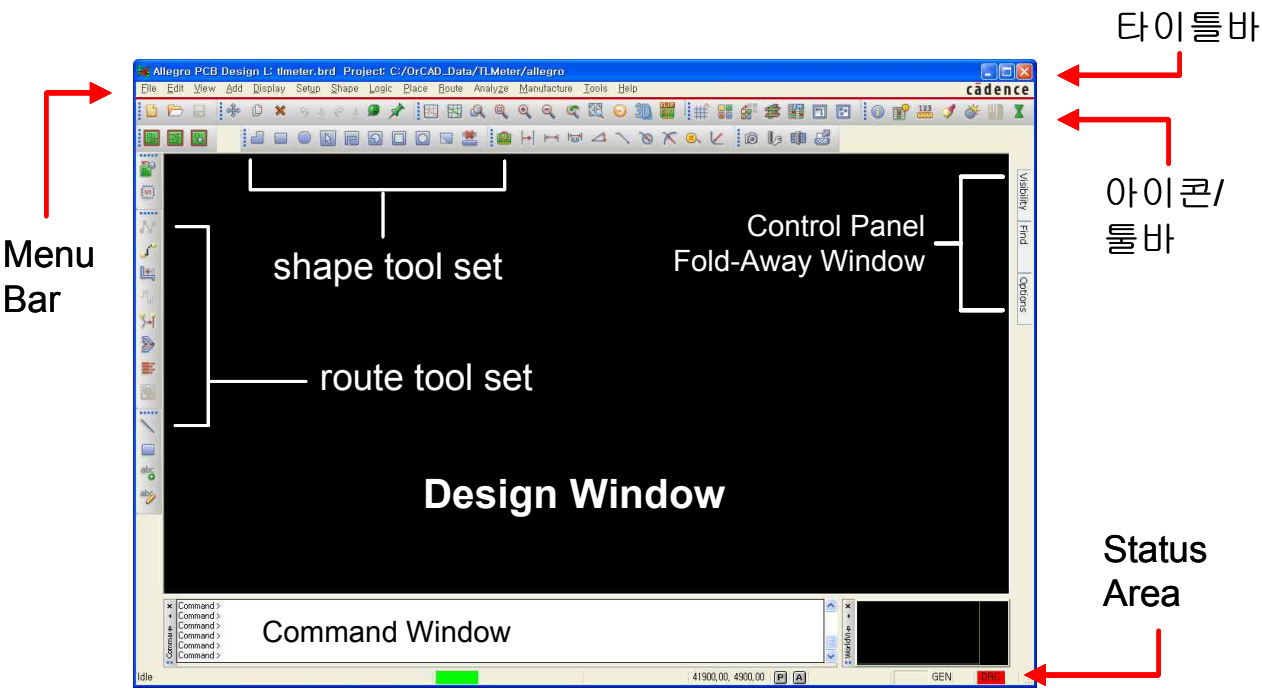
8 Padstack 생성

9 Package Symbol 생성

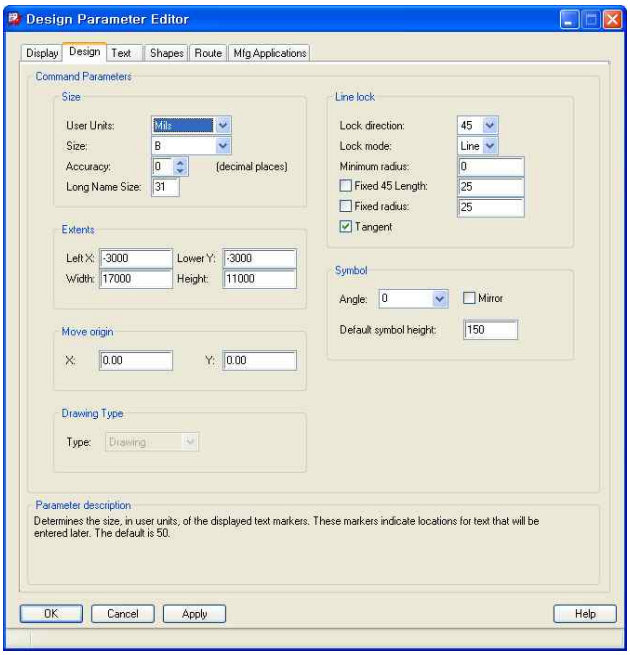
1 환경 설정

■ 기본 환경설정(설계단위, 설계범위면, 정밀도, Origin)

- PCB Editor 기본화면



- 설계단위, 설계범위면, 정밀도, Origin 설정



Setup - Design Parameters...

Design 폴더 탭

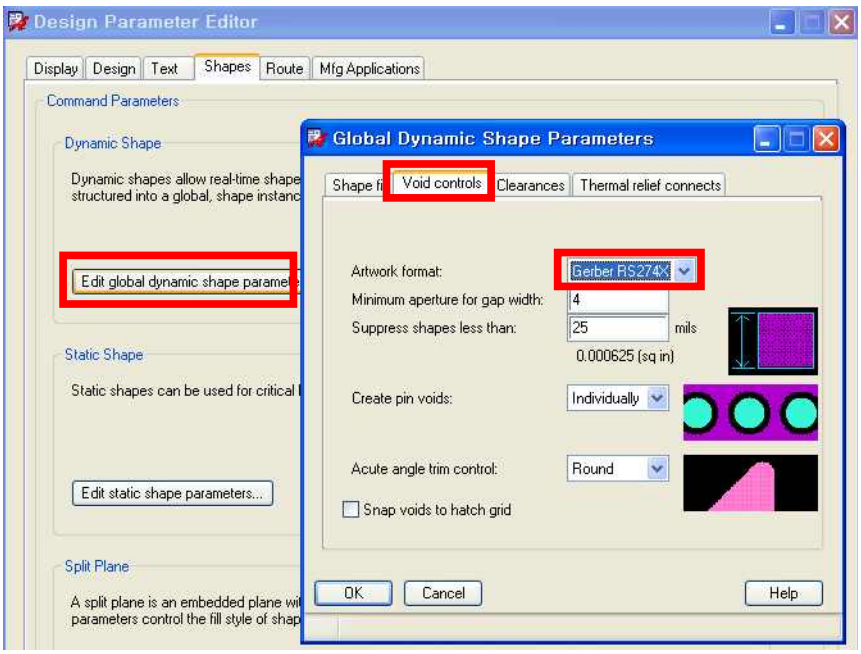
Origin Mark

• Text Block Size 설정

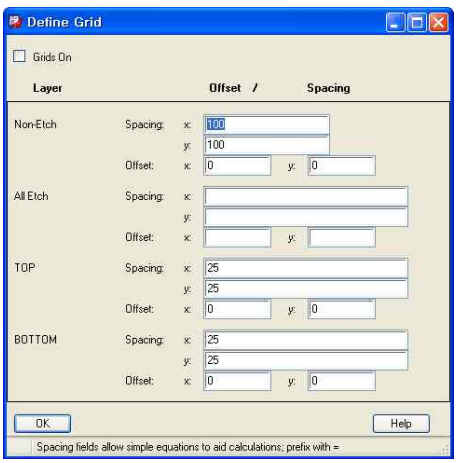
Setup - Design Parameters...

Text 폴더 탭

• Shape 설정(Copper 관련)



■ Grid 설정



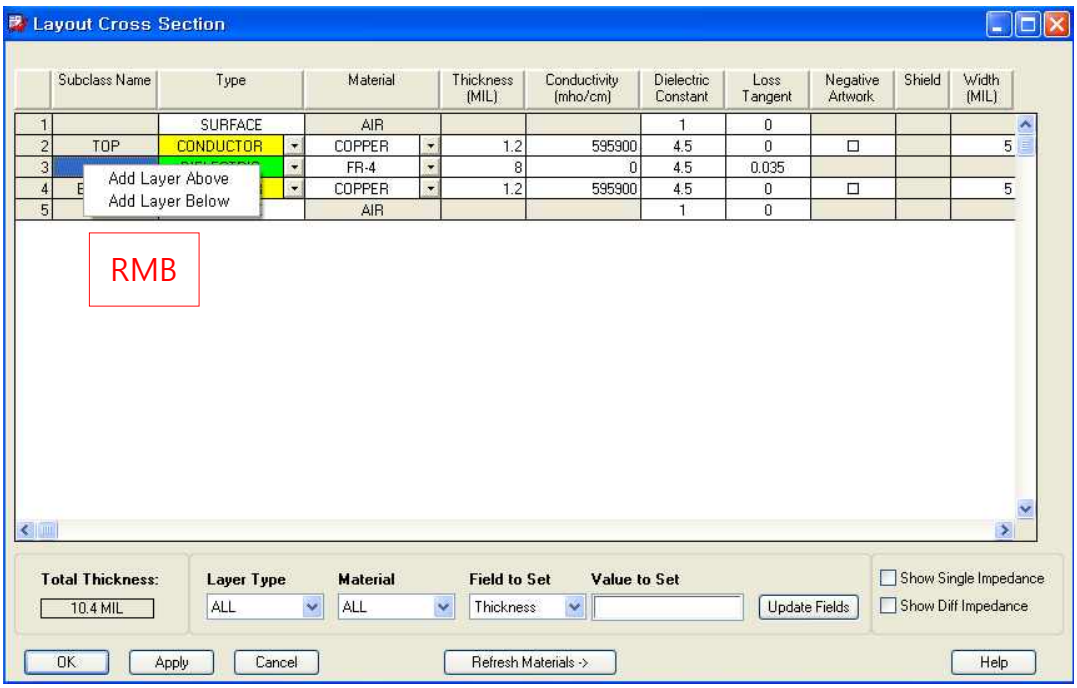
Setup - Grids...

Non - Etch : 보드 아웃라인 등 동박 영역 이외
Etch : 전기적 접속 이루는 동박 영역

Grid On/Off : Grid On 체크박스 체크유무 또는
툴바 Grid Toggle 아이콘

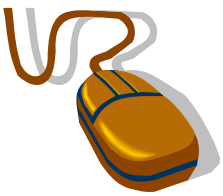
■ PCB 설계 층수 설정(Cross Section)

Setup - Cross-section... 또는 툴바 아이콘



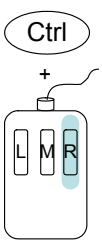
■ 마우스 버튼

- Left mouse button(LMB) - 요소별 선택, 메뉴, Dragging 선택
- Right mouse button (RMB) - Pop-up 메뉴 열기 또는 Strokes
- Middle mouse button (MMB) - Pan, zoom control

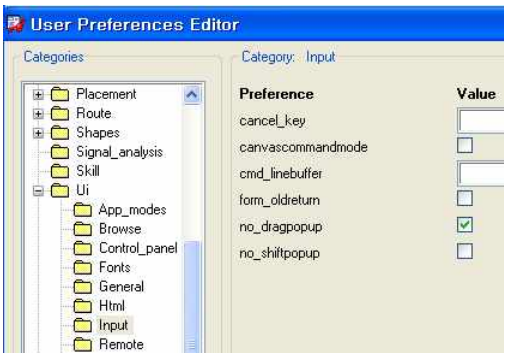


■ Stroke 설정

Tools - Utilities - Stroke Editor...



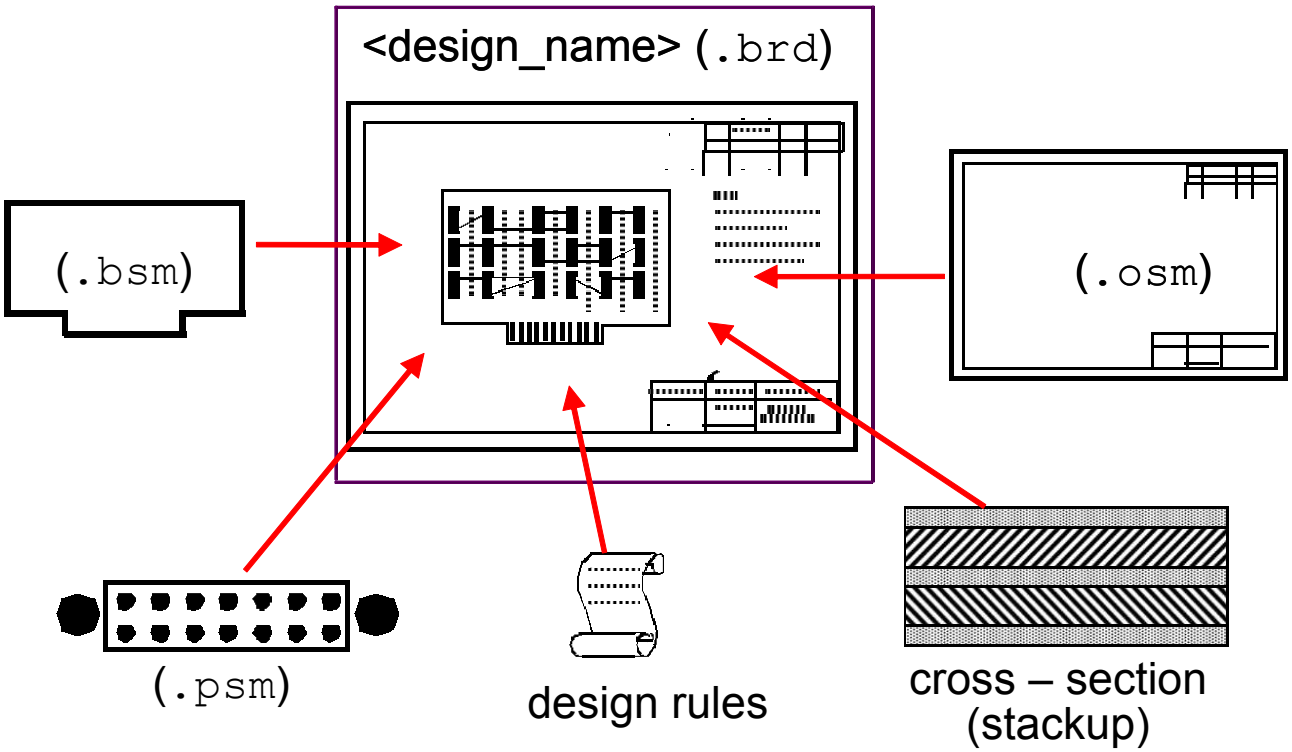
Stroke	Equivalent command	Key combinations
C	Copy	CTRL+C
M	Move	SHIFT+F6
Z	Zoom In	F11
U	Oops (Undo)	F8
W	Zoom World	SHIFT+F12
D	Delete	CTRL+D



※ Stroke 설정

메뉴바 Setup - User Preferences Editor...의 Ui > Input > no_dragpopup 체크

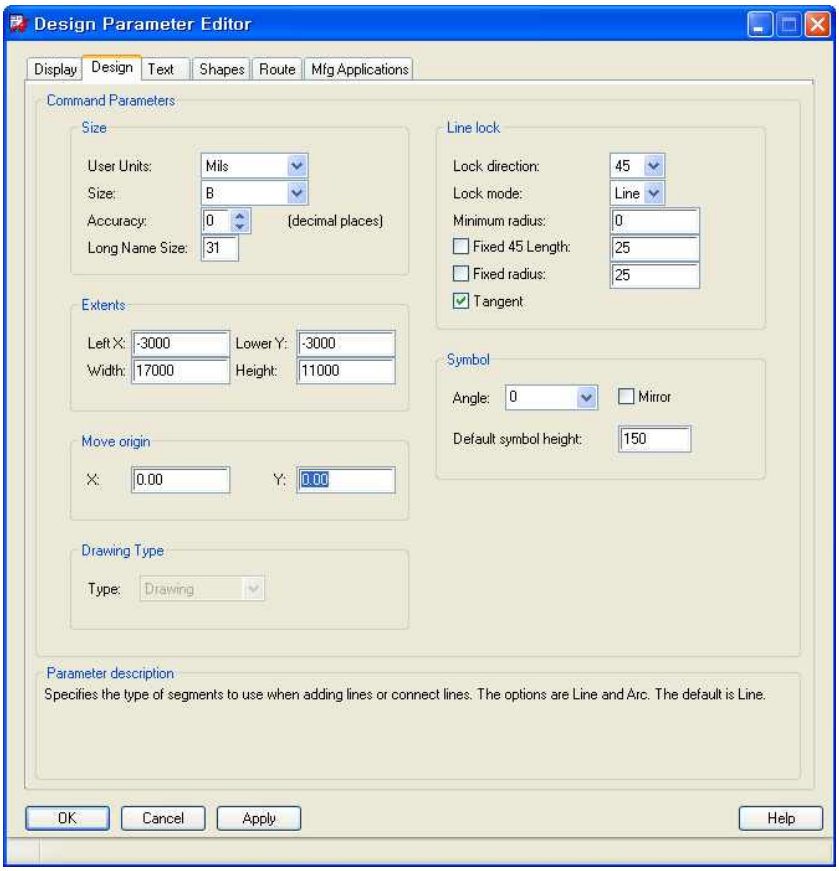
■ PCB Editor Master 설계 파일



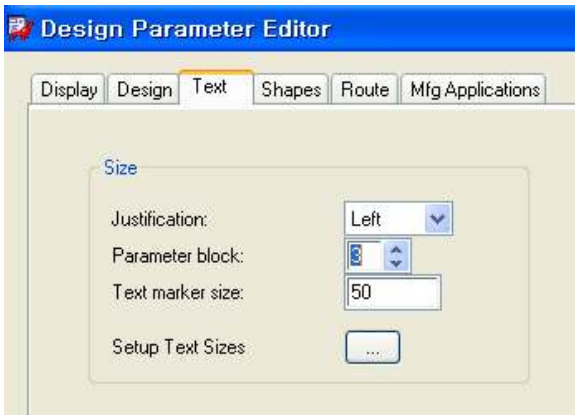
Lab.

• 기본 환경설정

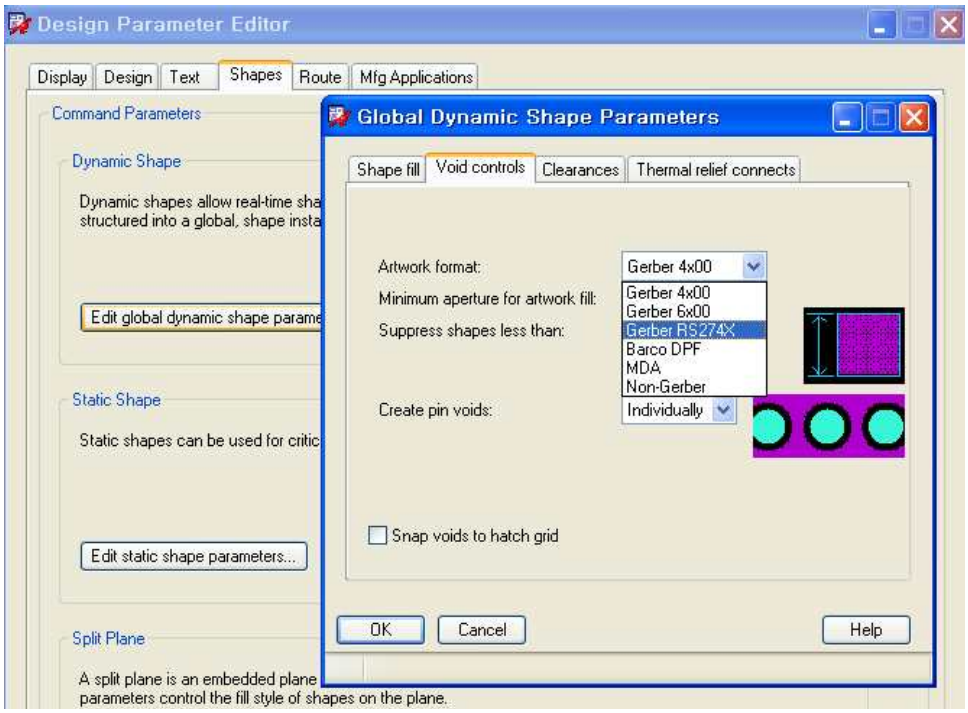
1. Tlmeter.brd 파일을 열기한 상태에서 Setup - Design Parameters...를 선택한다.
2. Design Parameter Editor 창이 나타나며, Design 탭 메뉴로 이동하여 다음과 같이 설정한다.



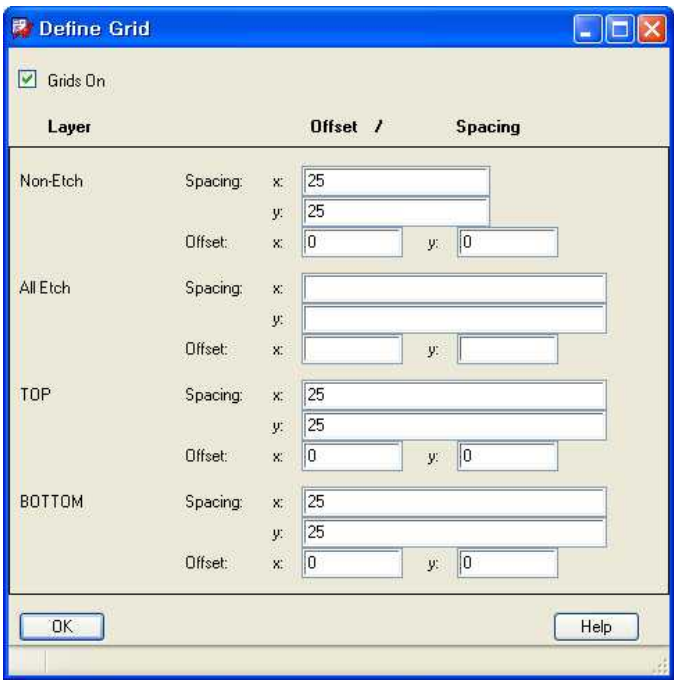
3. Text 탭 메뉴로 이동하여 다음과 같이 설정한다.



4. Shapes 탭 메뉴로 이동하여 Edit global dynamic shape parameters..를 선택한 다음 Global Dynamic Shape Parameters의 Void controls 탭 메뉴에서 Artwork format을 다음과 같이 변경한 후 OK 버튼을 클릭한다.



5. Apply 버튼을 클릭한 후 OK버튼을 클릭하여 Design Parameter Editor 창을 닫는다.
6. Setup - Grids...를 선택하여 다음과 같이 설정한 후 .OK버튼을 클릭한다.

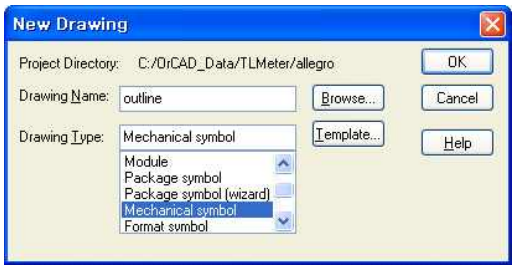


2 Board Outline

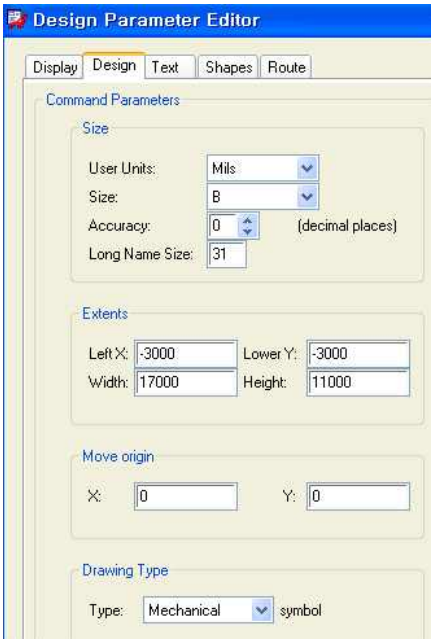
■ 보드 아웃라인(Mechanical symbol 또는 Class-Board Geometry, Subclass-Outline)

• Mechanical symbol 생성

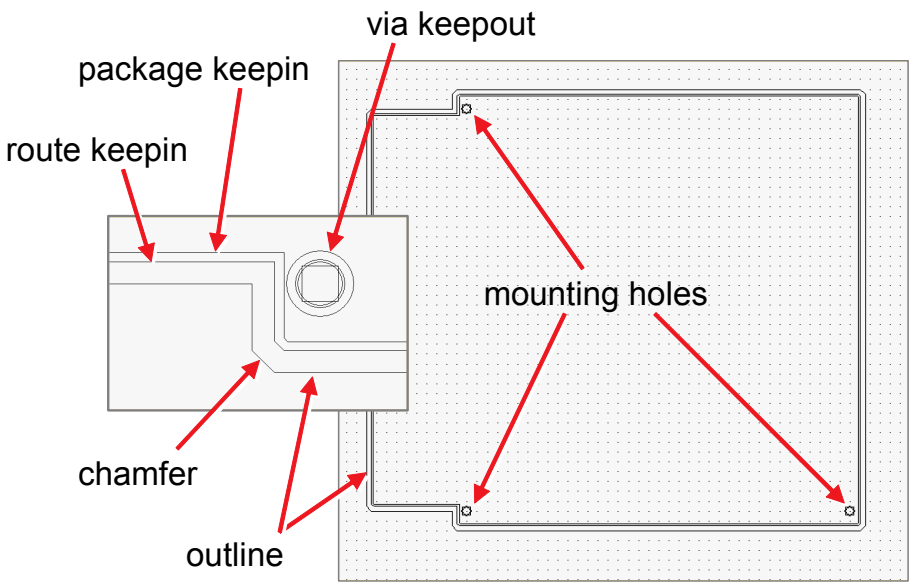
File - New



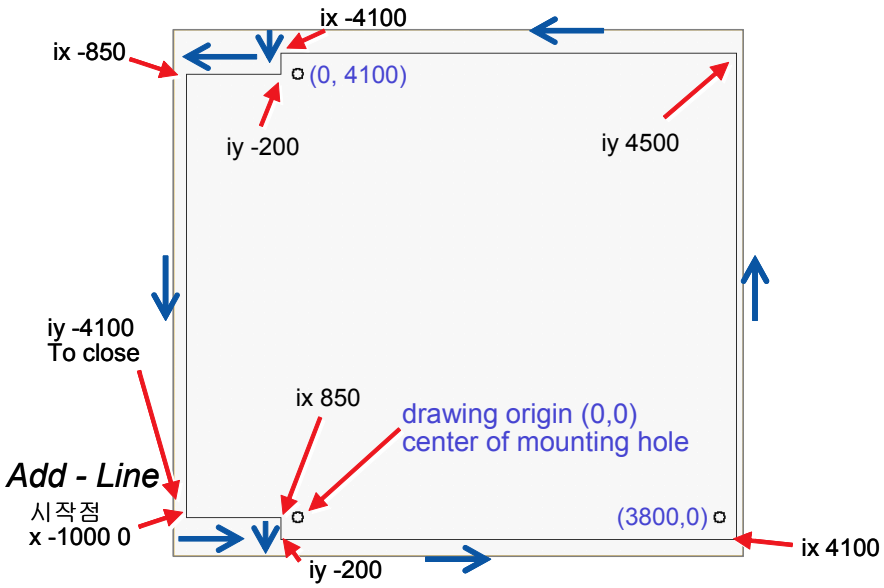
Setup – Design Parameters



• 기본적인 Board outline 타입

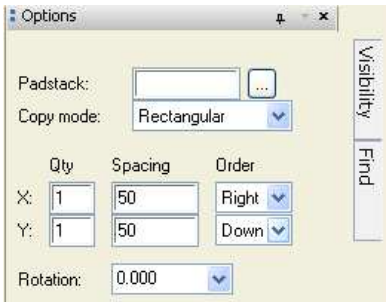


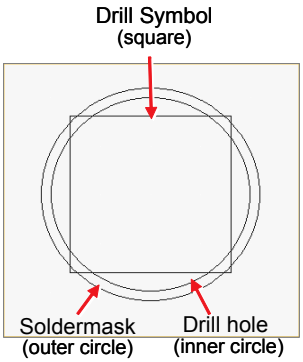
- 보드아웃라인 그리기(좌표값 command창 입력 이용)



- 기구홀 삽입

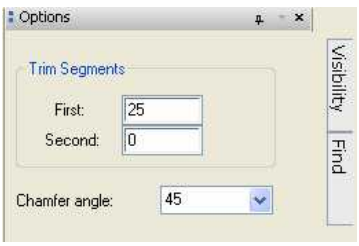
Layout - Pins… 또는 툴바 아이콘

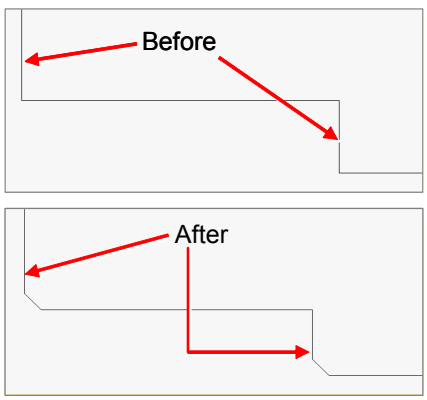




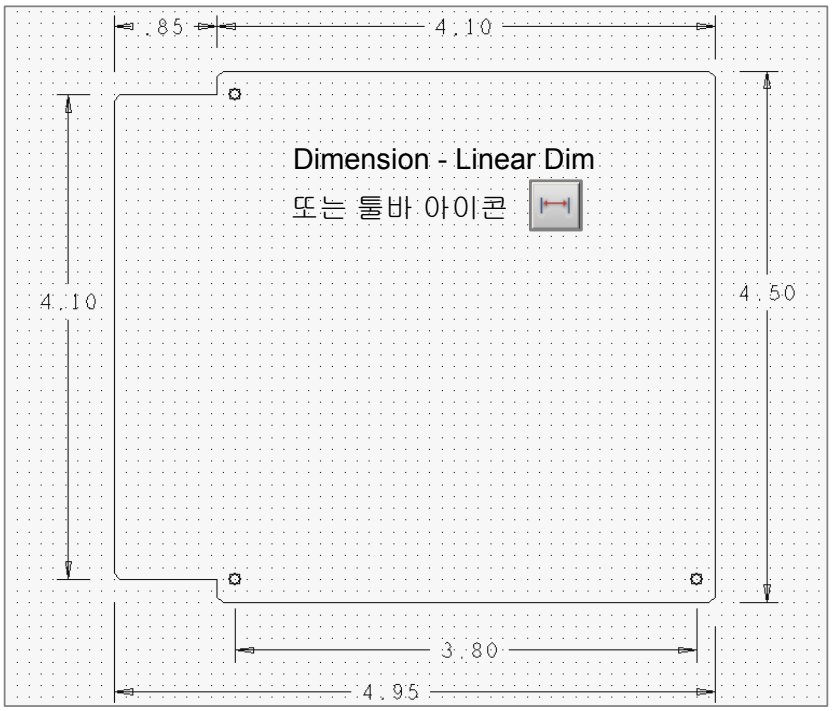
- 아웃라인 Chamfer/Fillet

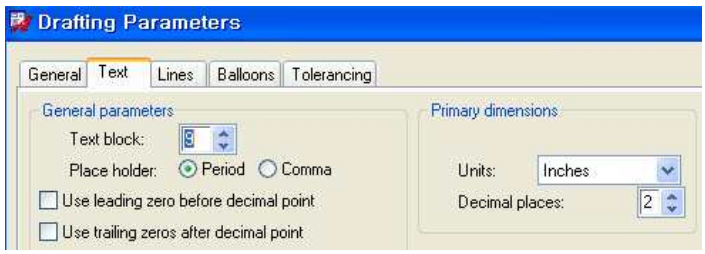
Dimension - Chamfer





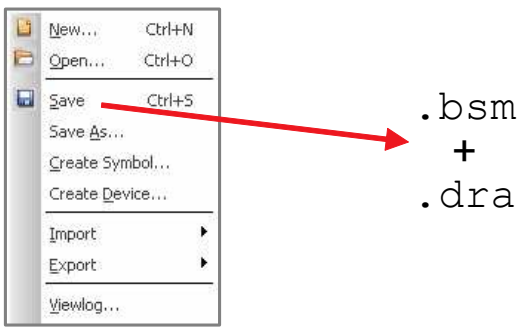
- Dimension 추가





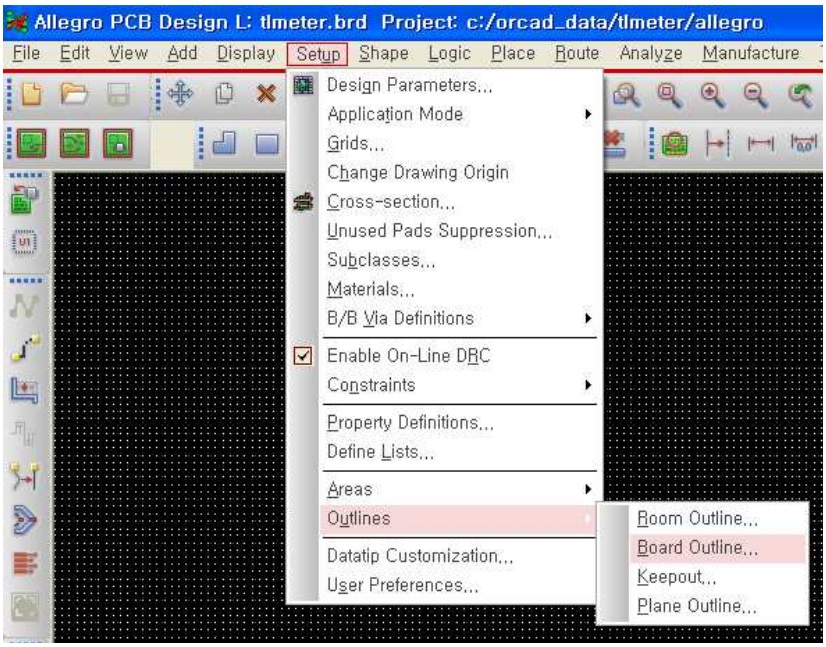
- 보드 아웃라인 Symbol 저장

File - Save

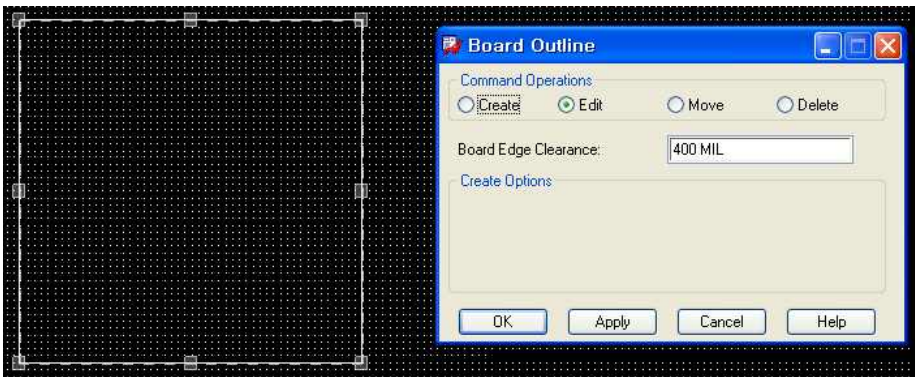


.bsm
+
.dra

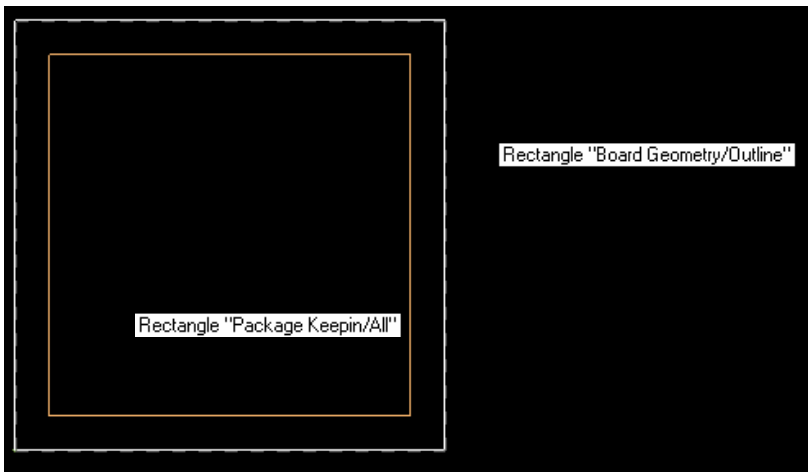
■ Board Outline 메뉴 이용



Setup -
Outlines - Board Outline...
(자동 다각 아웃라인)



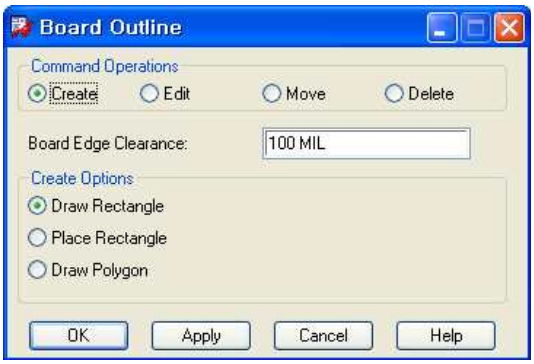
반드시,
Board Outline창을
띄워 놓고 그려야 함



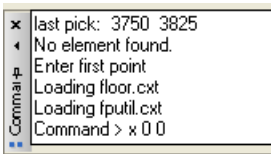
Lab.

• Board outline 생성

1. Setup - Outlines - Board outllline...을 선택한 다음 Clearance를 다음과 같이 변경한다.

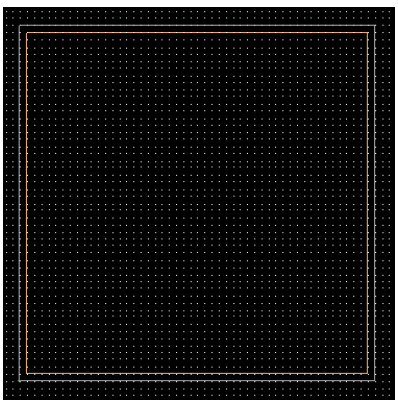


2. Board Outline 창이 나타나 있는 상태에서 command 창에 소문자 x, 한 칸 띄우고, 숫자 0, 한 칸 띄우고, 숫자 0을 입력한 후 Enter 키를 누른다(0,0 지점에서 사각형 아웃라인이 시작 되는 것을 볼 수 있다).



3. 다시 command 창에 소문자 x, 한 칸 띄우고, 숫자 5000, 한 칸 띄우고, 숫자 5000을 입력한 후 Enter 키를 누른다.

4. OK 버튼을 선택하여 Board outline 창을 닫은 후 Save 한다.

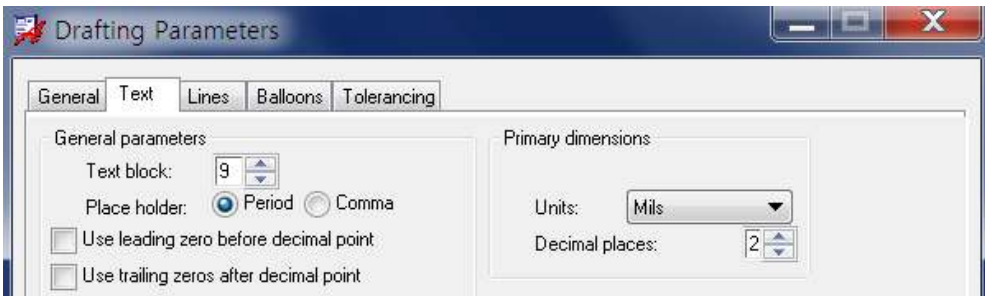


Lab.

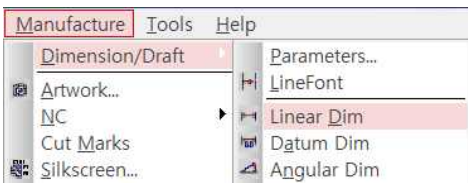
• Dimension 추가

1. 메뉴바 Manufacture - Dimension/Draft - Parameters...를 선택한다.

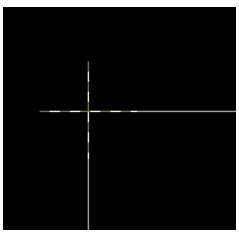
2. Drafting Parameters창의 Text 탭메뉴로 이동하여 Units를 Mils로 변경한 다음 OK 버튼을 선택하여 창을 닫는다.

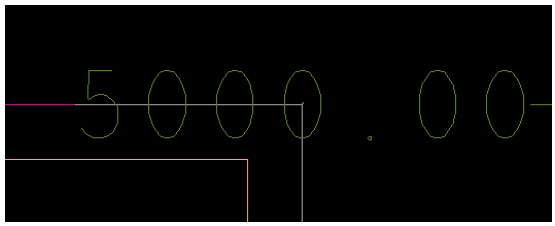


3. 메뉴바 Manufacture - Dimension/Draft - Linear Dim을 선택한다.



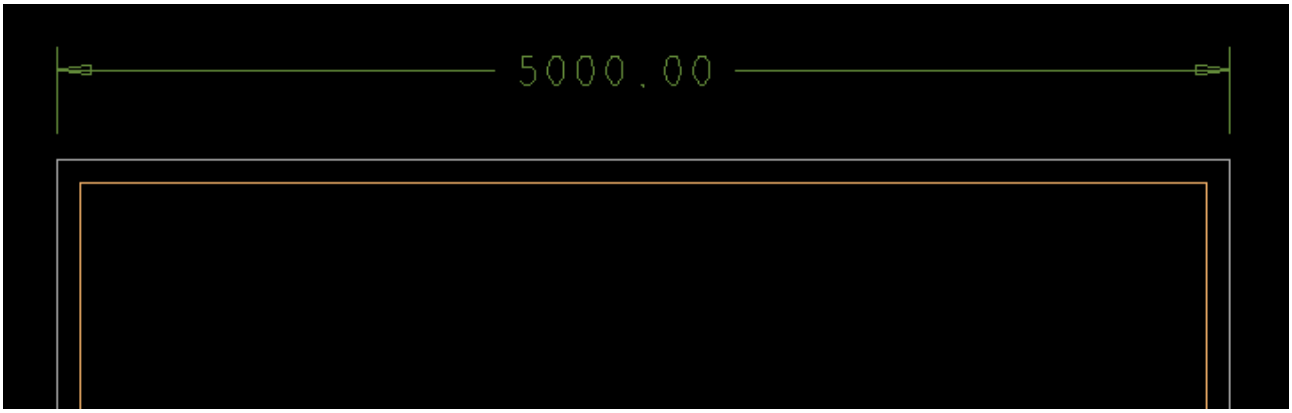
4. 보드 아웃라인 상단 왼쪽의 꼭지점을 선택한 다음, 오른쪽 상단의 꼭지점을 선택하면 측정된 수치가 마우스를 따라 움직인다.(Grid 기준)



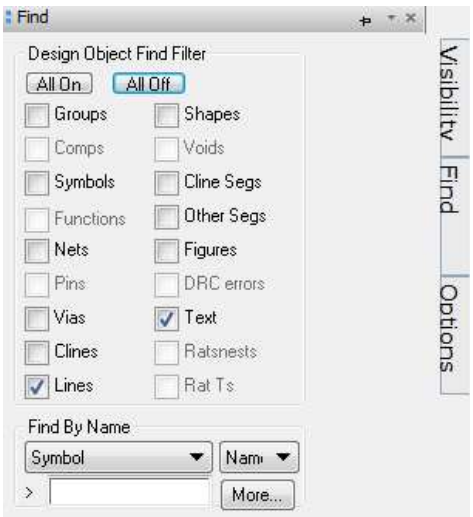


5. 원하는 위치에 클릭하면 Dimension이 추가되고, 팝업 메뉴 Done을 선택한다.

6. 나머지 라인에도 Dimension을 추가해 보고, Save 한다.



7. Dimension의 삭제는 Delete 명령 후 화면 오른쪽 이동하여 나타나는 Find창의 Lines와 Text 항목을 체크한 후 드래그 등을 통하여 삭제할 수 있다.



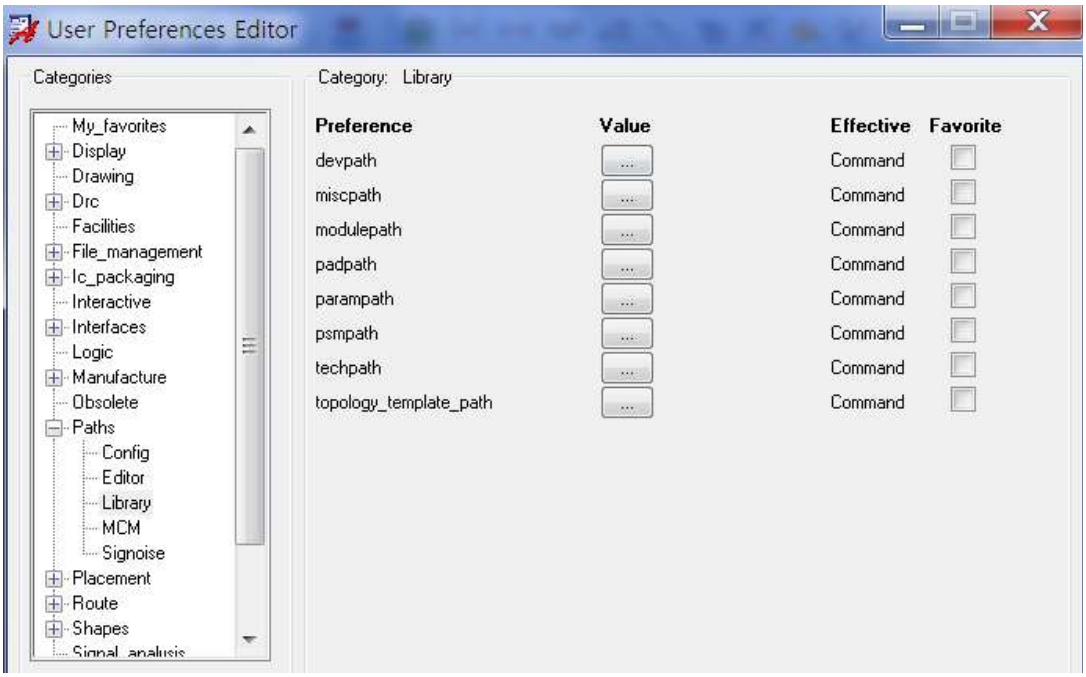
8. 삭제 후에는 다음 명령을 위해 마우스 팝업 메뉴의 Done을 선택하여 삭제 명령을 종료한다.

Lab.

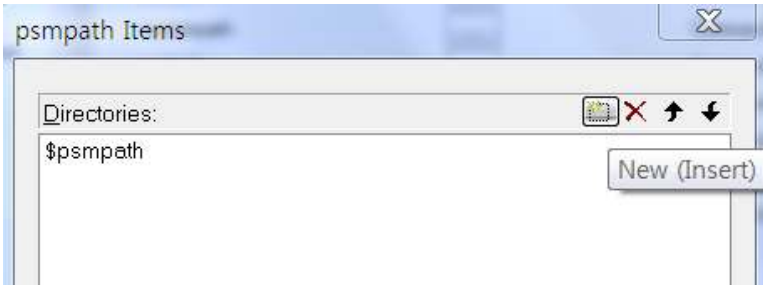
• 신규 생성한 Board Symbol 불러오기

1. 새로운 Board outline symbol(*.dra와 *.bsm)을 생성하여, 보드에 불러와서 배치하기 위해서는 생성한 보드 symbol이 저장되어 있는 폴더를 반드시 path에 추가해야만 한다.(Package symbol과 동일)

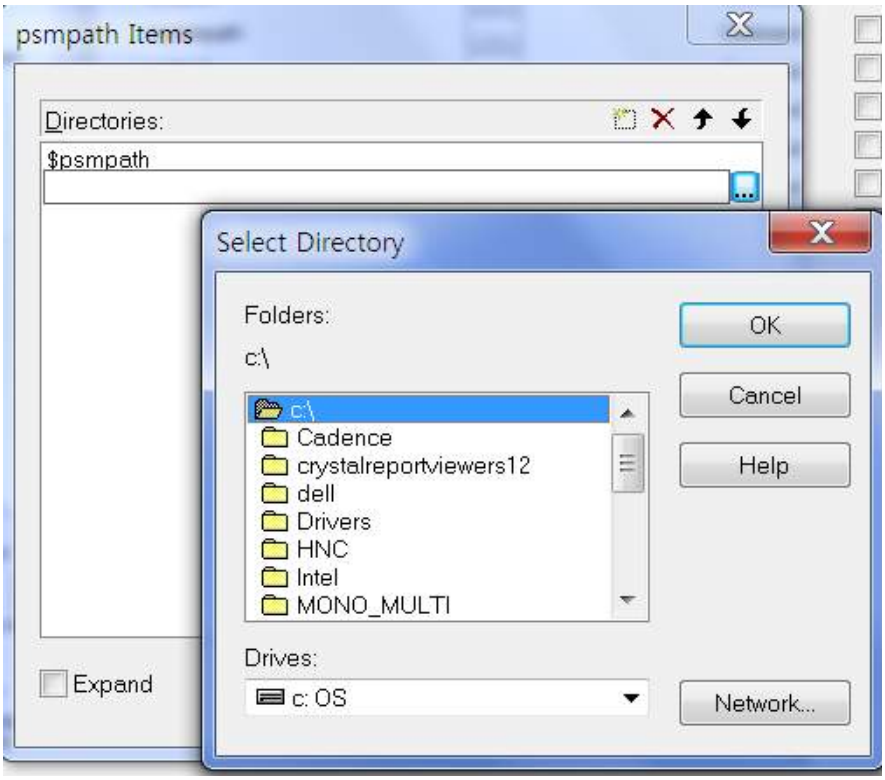
2. 메뉴바 Setup - User Preferences...를 선택하여 User Preference Editor창이 뜨면 왼쪽 Categories의 Paths(+아이콘 선택) - Library를 선택한다.



3. Preference의 psmpath 오른쪽 Value의 ... 버튼을 선택한 후, Path를 추가하기 위해서 New(Insert) 버튼을 선택한다.(아래 Expand를 체크하면 기본 path를 나타냄)

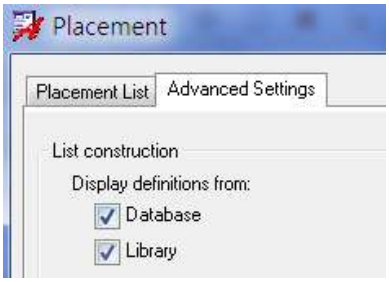


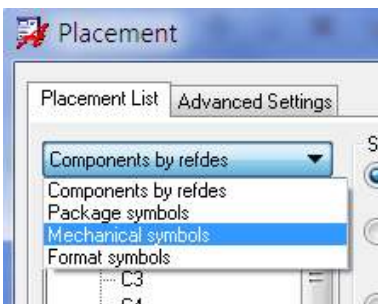
4. 생성된 입력라인의 브라우저 버튼을 통해서 보드 아웃라인 symbol이 저장되어 있는 폴더를 지정한 후 OK 버튼을 선택한다. psmpath Items창을 OK 버튼으로 닫는다.



5. User Preferences Editor 아래의 Apply 버튼을 반드시 선택한 다음 OK 버튼을 선택하여 창을 닫는다.

6. 보드를 배치하기 위해서는 메뉴바 Place - Manually...를 선택한 후 Advanced Settings 탭메뉴로 이동하여 Library 항목의 체크박스에 체크한 후 Placement List로 이동하여 화살메뉴를 이용, Mechanical symbols를 선택하면 보드 symbol이 나타나며 배치가 가능하다.(리스트에 없다면 저장경로를 path에 잘 못 지정한 것임)





3 Constraints 설정

■ 4가지 Type의 Design Rule을 제공

- Physical Constraints : Line width와 layer의 제한으로 Net의 Physical 구성의 제약조건을 설정(예를 들면, minimum line width 와 allowed etch layers)

- Spacing Constraints : Lines, pads, vias와 copper areas(shapes)간의 Clearances 설정으로 다른 Net들 위에 있는 Object들 사이의 spacing(간격)과 같은 제약조건을 설정(예를 들면, line-to-thru pin spacing)

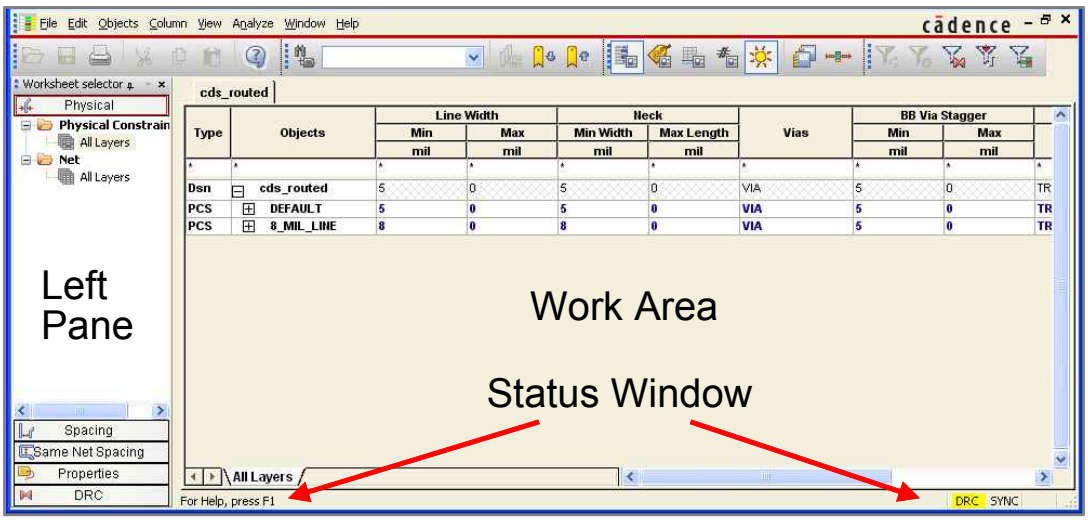
- Electrical Constraints : Performance의 특성(crosstalk와 propagation delay). Entire Net에 대하여 Electrical한 Behavior 와 Performance등의 제약조건을 설정.(예를 들면, maximum propagation delay). Option tool로 PCB Design L 에서는 사용할 수 없음.

- Design Constraints : Package간 DRC 검사의 Setting 또는 Unsetting. Negative Plane에서 Islands(독립적으로 작게 떨어져 만들어진) Plane의 제약조건, Soldermask에 대한 제약조건.

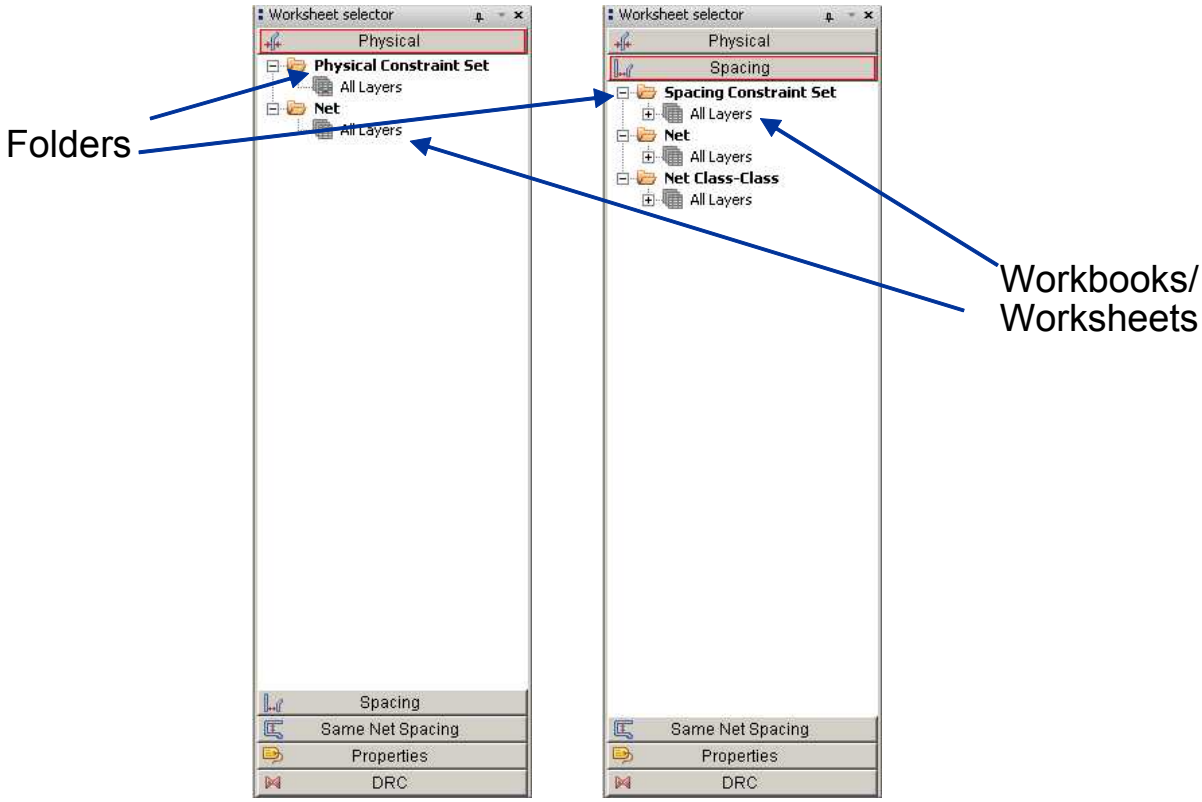
■ Constraint Manager

- Constraint Manager

Setup - Constraints - Constraint Manager
Setup - Constraints – Physical/Spacing 또는 툴바 아이콘
Setup – Constraints – Same Net Spacing



- Constraint Manager Left Pane



- Constraint Manager Work Area

Physical

Type	Objects	Referenced Physical CSet	Line Width		Neck		Vias
			Min	Max	Min Width	Max Length	
			mil	mil	mil	mil	
*	*	*	*	*	*	*	*
Dsn	unplaced	DEFAULT	5.00	0.00	5.00	0.00	VIA
PCS	DEFAULT		5.00	0.00	5.00	0.00	VIA

Spacing

Type	Objects	Line To									
		Line	Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via	Test Via	Shape	Bond Finger	Hole
		mil	mil	mil	mil	mil	mil	mil	mil	mil	mil
*	*	*	*	*	*	*	*	*	*	*	*
Dsn	unplaced	5.00	5.00	5.00	5.00	5.00	5.00	5.00	5.00	5.00	8.00
SCS	DEFAULT	5.00	5.00	5.00	5.00	5.00	5.00	5.00	5.00	5.00	8.00

Same Net

Type	Objects	Line To									
		Line	Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via	Test Via	Shape	Bond Finger	Hole
		mil	mil	mil	mil	mil	mil	mil	mil	mil	mil
*	*	*	*	*	*	*	*	*	*	*	*
Dsn	unplaced	5.00	5.00	5.00	5.00	5.00	5.00	5.00	5.00	5.00	8.00
SNSC	DEFAULT	5.00	5.00	5.00	5.00	5.00	5.00	5.00	5.00	5.00	8.00

Properties

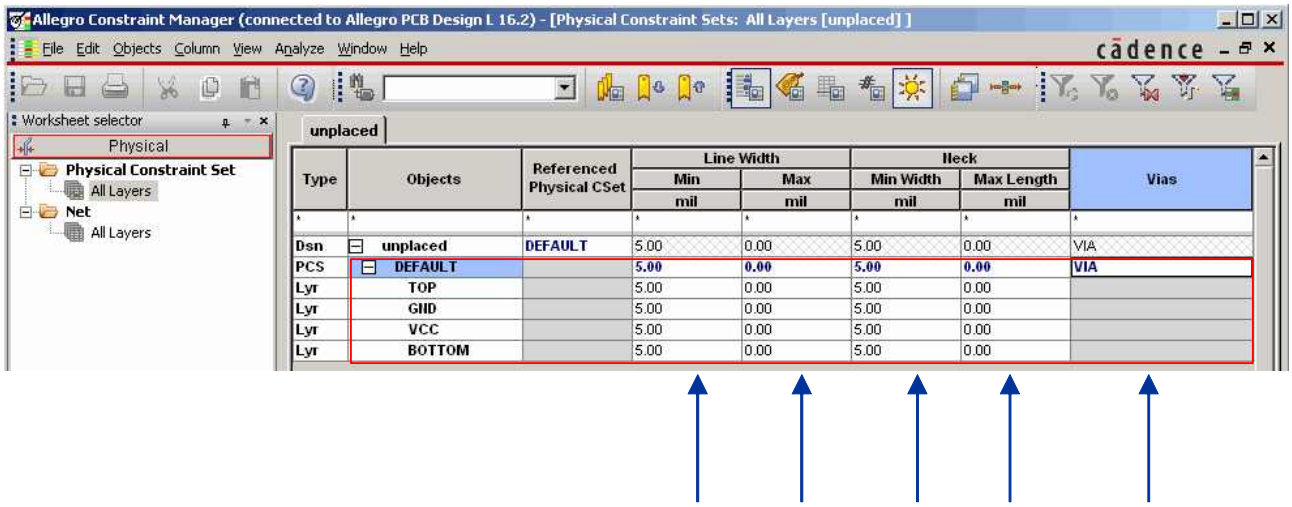
Type	Objects	Voltage	Weight	No Rat	Route		Route Restrictions		
					Priority	to Shape	Fixed	No Route	No Ripup
		V							
*	*	*	*	*	*	*	*	*	*
Dsn	unplaced								
Net	AEN								
Net	AGND								

DRC

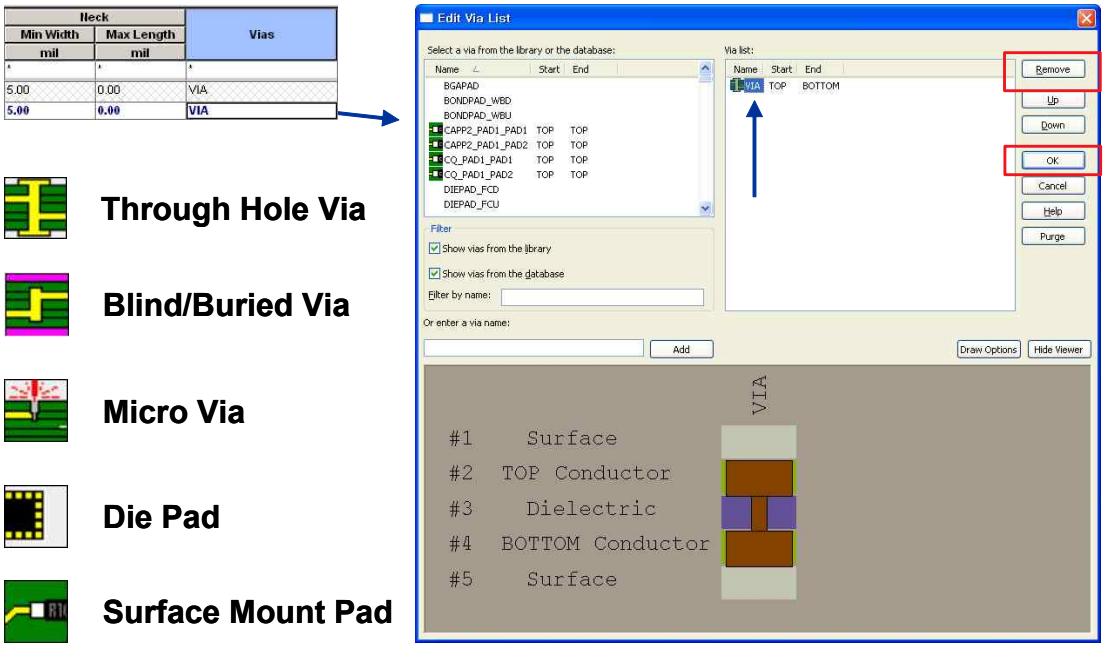
Objects	Constraint Set	DRC Subclass	Values		Object 1	Object 2
			Required	Actual		
*	*	*	*	*	*	*
unplaced						
Line To Thru Pin						
(-531.00 2400.00	Default	Top	5 MIL	0 MIL	Dummy Ne...	Dummy Net ...

■ Physical Rules

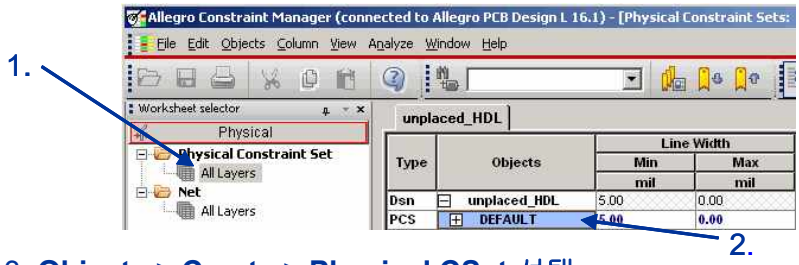
- 기본 Physical Rules 설정



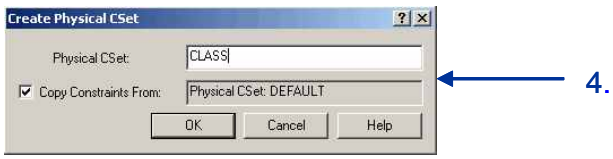
- Via padstacks 설정



- 새로운 Physical Set 생성



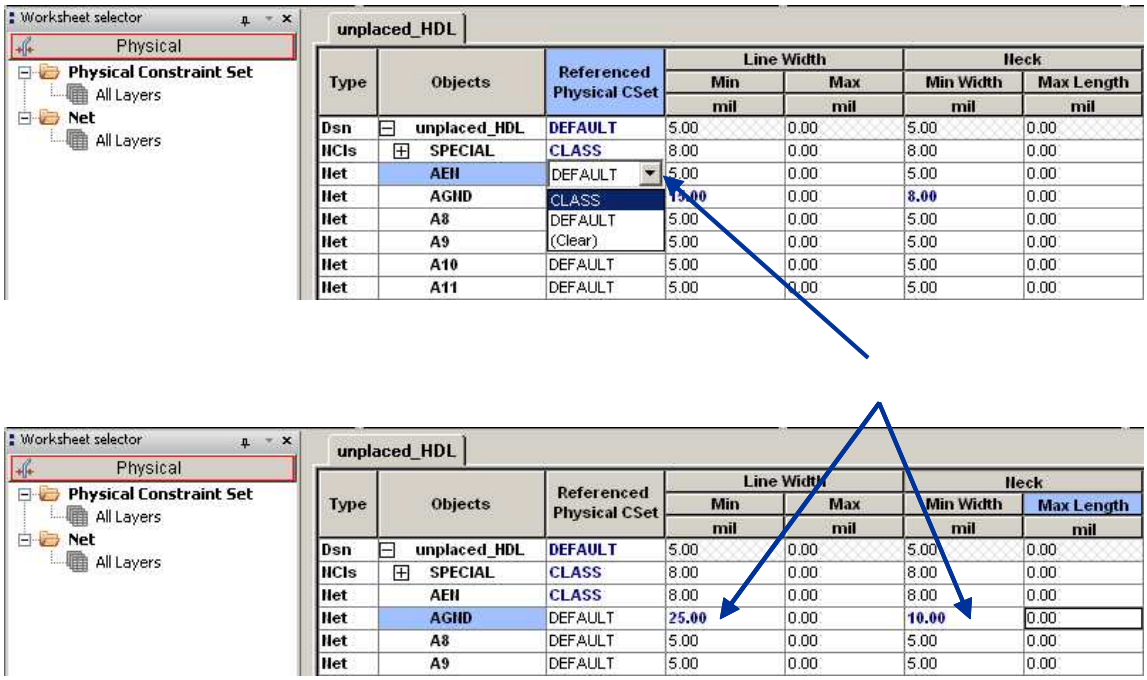
3. **Objects > Create > Physical CSet** 선택



5. 새로운 physical set의 Rule 설정

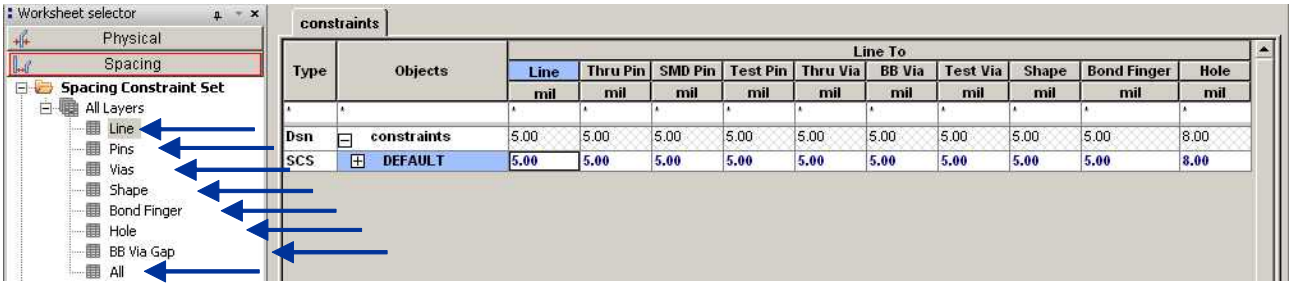
Type	Objects	Line Width Min	Line Width Max	Neck Min Width	Neck Max Length	Vias
		mil	mil	mil	mil	
Dsn	unplaced_HDL	5.00	0.00	5.00	0.00	VIA
PCS	CLASS	8.00	0.00	8.00	0.00	VIA
PCS	DEFAULT	5.00	0.00	5.00	0.00	VIA

- Net의 Rule 설정

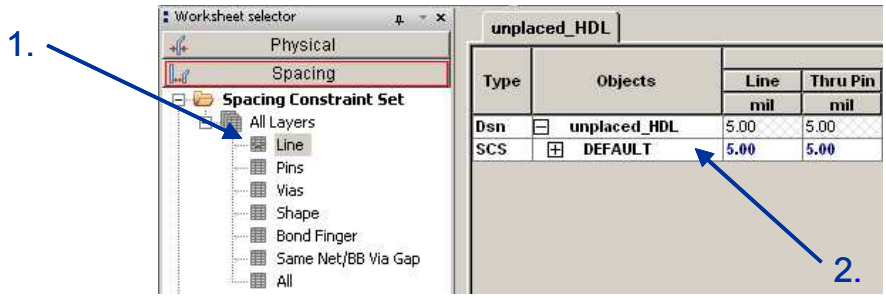


■ Spacing Rules

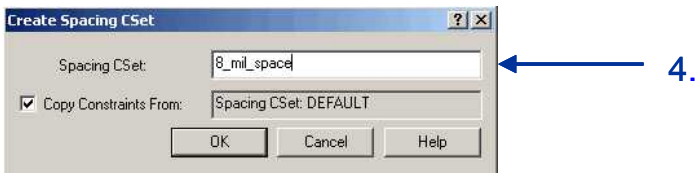
• 기본 Spacing Rules 설정



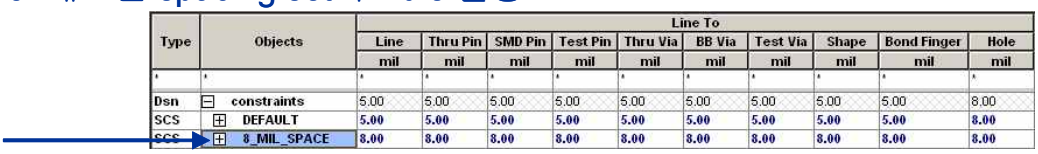
• 새로운 Spacing Set 생성



3. **Objects > Create > Spacing Cset** 선택

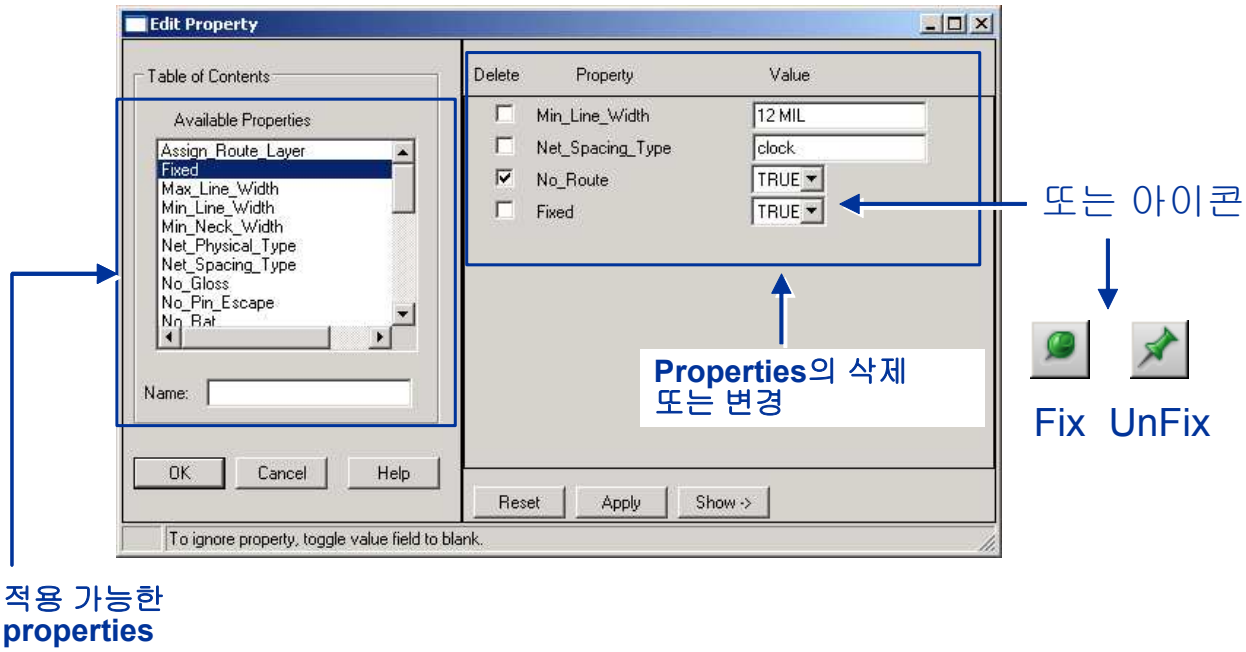


5. 새로운 spacing set의 Rule 설정



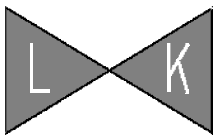
■ Property(속성) 부여 및 변경

Edit > Properties



■ DRC Marker 실시간 Display

• 각 종 Constraint 설정 Rule 위반시 실시간 나타남



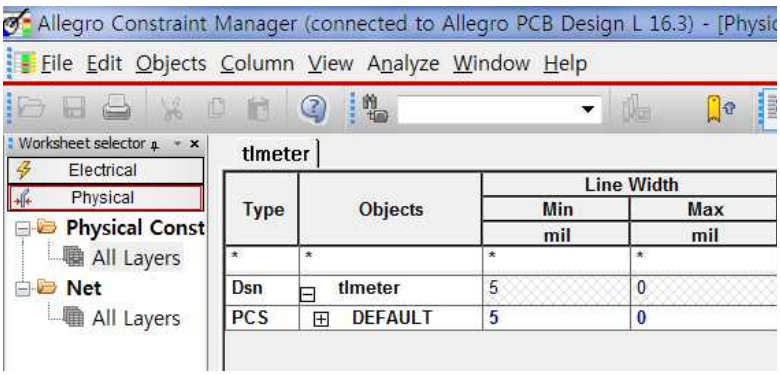
(Example : Line to Thru pin Spacing)

Lab.

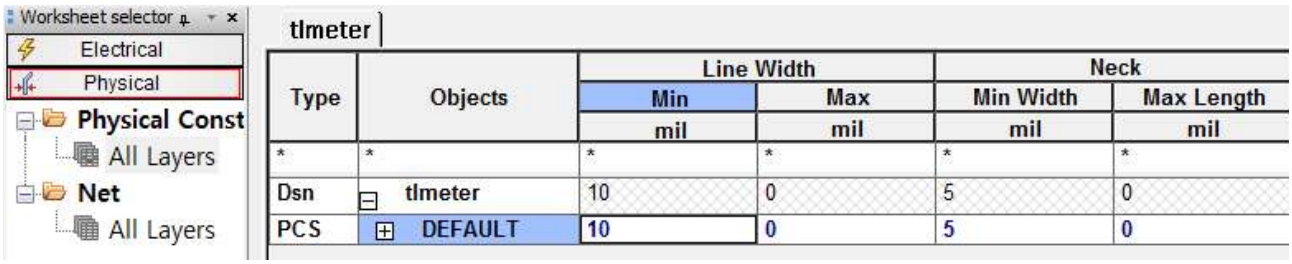
• Constraints 설정(Physical/Spacing Rule)

1. 메뉴바 Setup - Constraints - Constrains Manager...를 선택하거나, 툴바의 Cmgr 아이콘 을 선택한다.

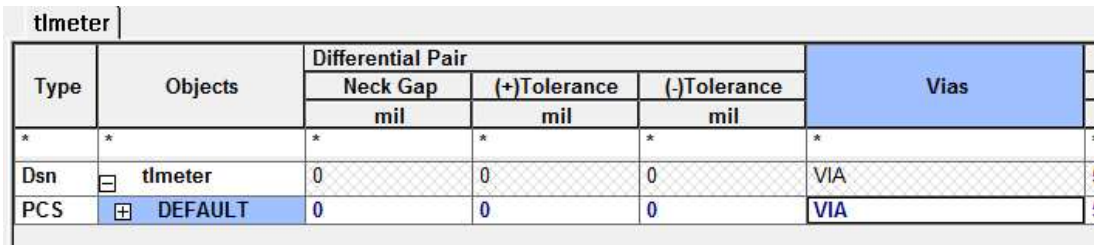
2. Tip of the Day 창을 OK 버튼을 선택하여 닫는다.
3. 왼쪽 Worksheet selector의 Physical을 선택한 후 Physica Constraint Set 의 All Layers를 선택한다.



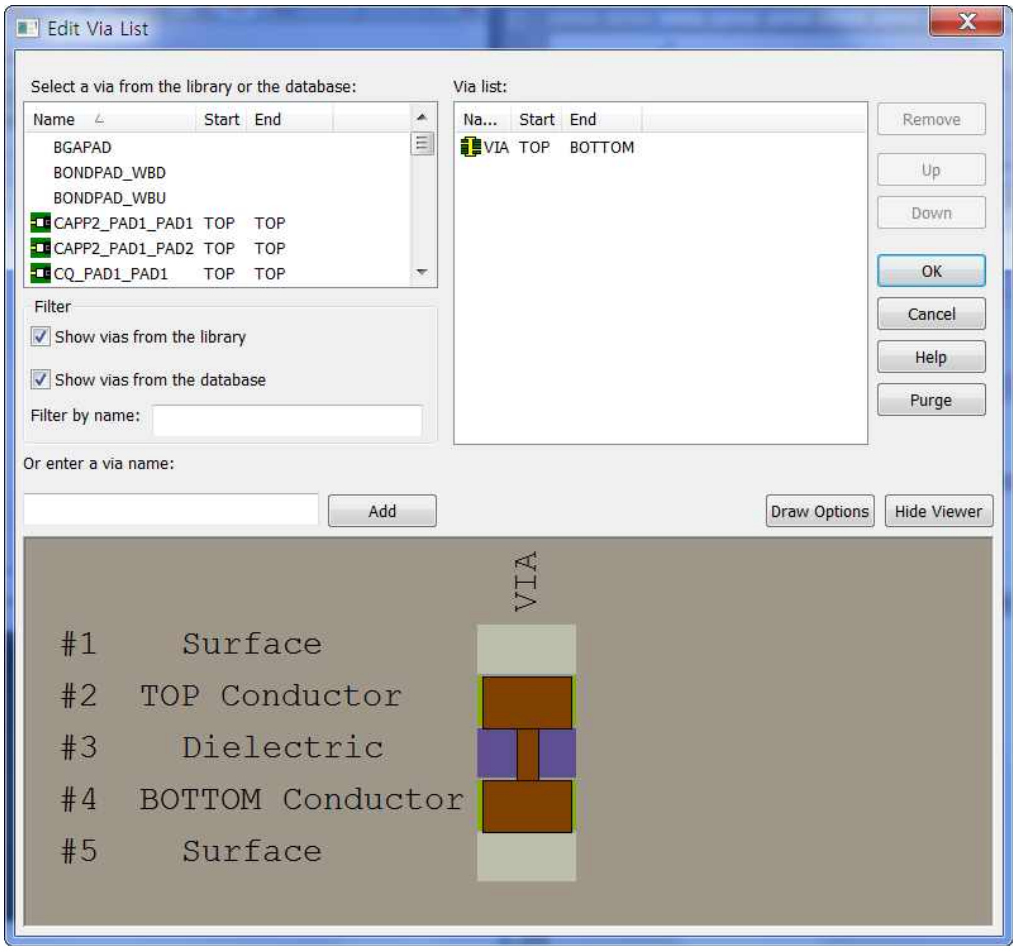
4. Objects 중 DEFAULT의 Line Width 항목 중 Min 값을 5에서 10으로 수정한다.



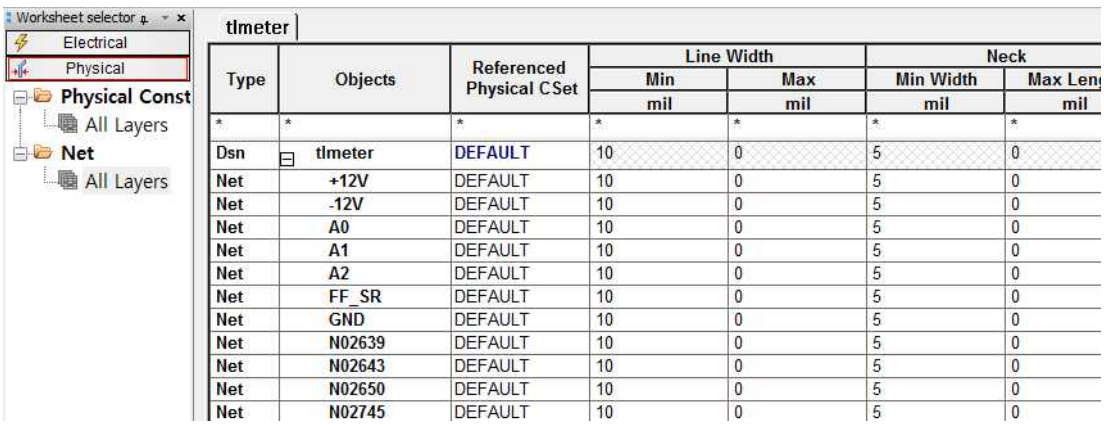
5. 오른쪽으로 이동하여 Vias 항목의 VIA 셀을 선택한다.



6. Edit Via List 창이 뜨면 VIA의 구조 및 List를 확인한 후 OK 버튼을 선택한다.(여기서 다양한 VIA를 추가할 수 있다)

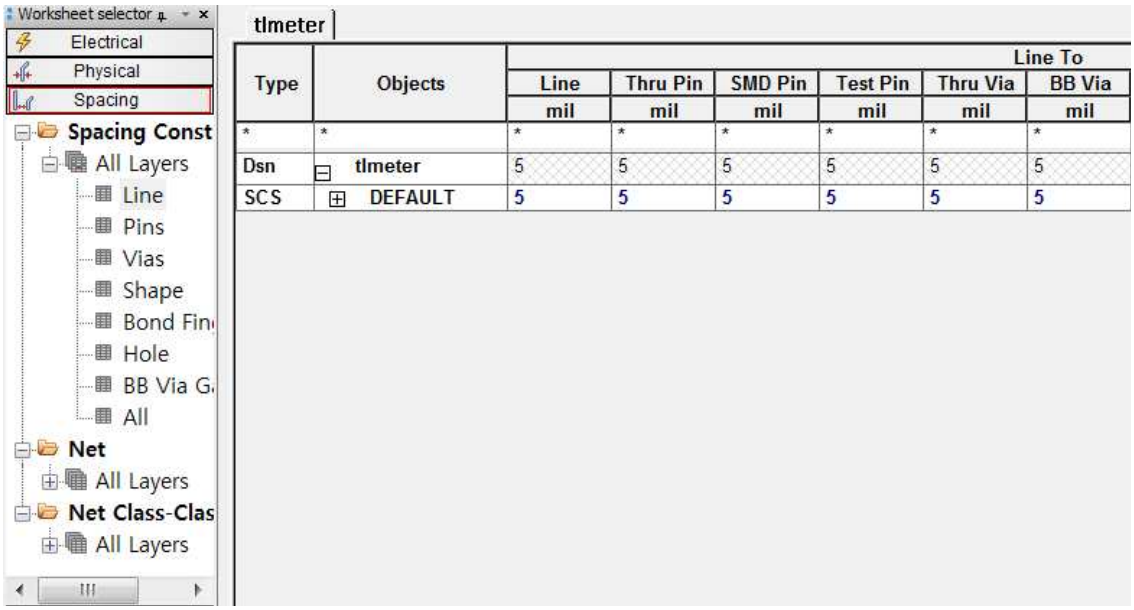


7. 이번에는 왼쪽 Worksheet selector의 Physical에서 Net의 All layer를 선택하여 모든 Net의 Line Width Min 값이 10으로 변경된 것을 확인한다.



Type	Objects	Referenced Physical CSet	Line Width		Neck	
			Min	Max	Min Width	Max Len
			mil	mil	mil	mil
*	*	*	*	*	*	*
Dsn	tlmeter	DEFAULT	10	0	5	0
Net	+12V	DEFAULT	10	0	5	0
Net	-12V	DEFAULT	10	0	5	0
Net	A0	DEFAULT	10	0	5	0
Net	A1	DEFAULT	10	0	5	0
Net	A2	DEFAULT	10	0	5	0
Net	FF_SR	DEFAULT	10	0	5	0
Net	GND	DEFAULT	10	0	5	0
Net	N02639	DEFAULT	10	0	5	0
Net	N02643	DEFAULT	10	0	5	0
Net	N02650	DEFAULT	10	0	5	0
Net	N02745	DEFAULT	10	0	5	0

8. 이번에는 왼쪽 Worksheet selector의 Spacing을 선택한 후 Spacing Constraint Set 의 All Layers를 선택한다.



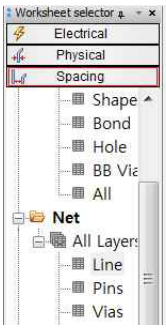
Type	Objects	Line To					
		Line	Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via
		mil	mil	mil	mil	mil	mil
*	*	*	*	*	*	*	*
Dsn	tlmeter	5	5	5	5	5	5
SCS	DEFAULT	5	5	5	5	5	5

9. Objects의 DEFAULT 의 Line To 모든 항목을 5에서 10으로 변경한다.

tlmeter

Type	Objects	Line To									
		Line	Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via	Test Via	Shape	Bond Finger	Hole
		mil	mil	mil	mil	mil	mil	mil	mil	mil	mil
*	*	*	*	*	*	*	*	*	*	*	*
Dsn	tlmeter	10	10	10	10	10	10	10	10	10	10
SCS	DEFAULT	10	10	10	10	10	10	10	10	10	10

10. 이번에는 왼쪽 Worksheet selector의 Spacing에서 Net의 All layer를 선택하여 모든 Net의 Line To 값이 10으로 변경된 것을 확인한다.

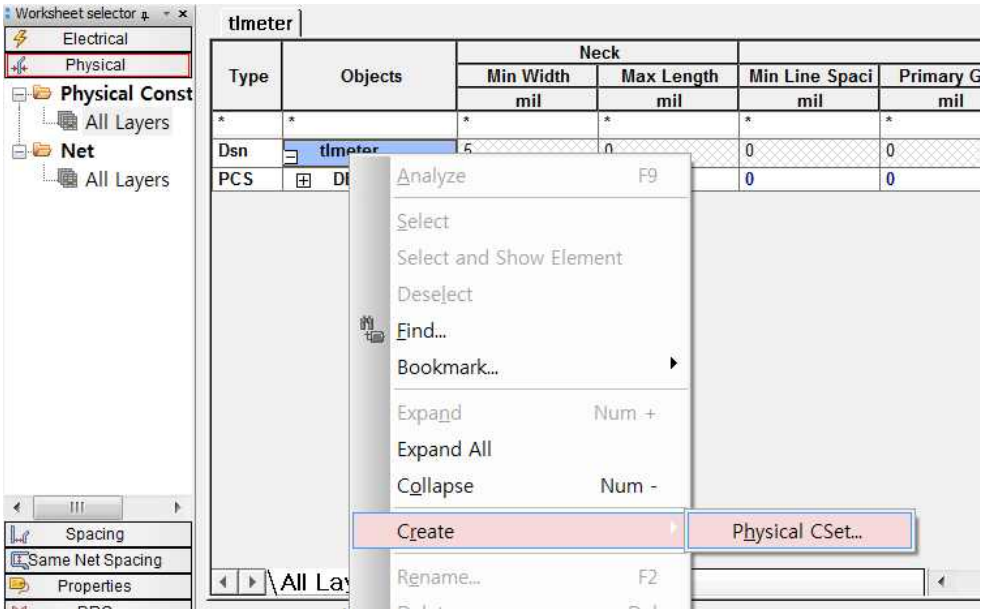


tlmeter

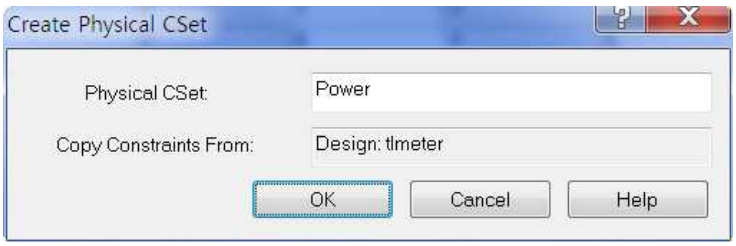
Type	Objects	Referenced Spacing CSet	Line To									
			Line	Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via	Test Via	Shape	Bond Finger	Hole
			mil	mil	mil	mil	mil	mil	mil	mil	mil	mil
*	*	*	*	*	*	*	*	*	*	*	*	*
Dsn	tlmeter	DEFAULT	10	10	10	10	10	10	10	10	10	10
Net	+12V	DEFAULT	10	10	10	10	10	10	10	10	10	10
Net	-12V	DEFAULT	10	10	10	10	10	10	10	10	10	10
Net	A0	DEFAULT	10	10	10	10	10	10	10	10	10	10
Net	A1	DEFAULT	10	10	10	10	10	10	10	10	10	10
Net	A2	DEFAULT	10	10	10	10	10	10	10	10	10	10
Net	FF_SR	DEFAULT	10	10	10	10	10	10	10	10	10	10
Net	GND	DEFAULT	10	10	10	10	10	10	10	10	10	10
Net	N02639	DEFAULT	10	10	10	10	10	10	10	10	10	10
Net	N02643	DEFAULT	10	10	10	10	10	10	10	10	10	10
Net	N02650	DEFAULT	10	10	10	10	10	10	10	10	10	10

11. 이번에는 DEFAULT Rule 외에 새로운 룰을 생성하기 위해서 왼쪽 Worksheet selector의 Physical을 선택한 후 Physica Constraint Set 의 All Layers를 선택한다.

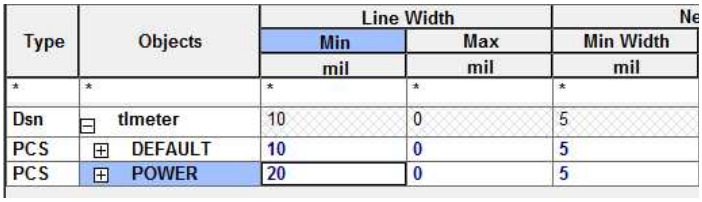
12. Objects 항목의 DEFAULT 항목을 선택한 다음 마우스 팝업 메뉴의 Create - Physical CSet...를 선택한다.



13. Create Physical Cset 창이 뜨면, Physical CSet 필드에 "Power" 라고 입력한 후 OK 버튼을 선택한다.

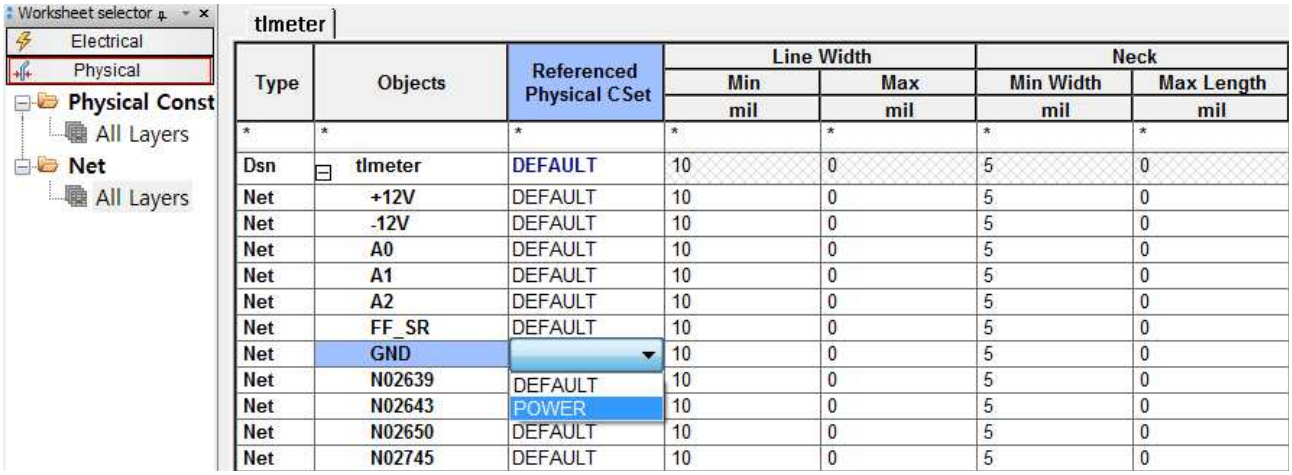


14. POWER의 Line Width Min 항목을 10에서 20으로 수정한다.



15. POWER Constraints Set을 적용하기 위해서 왼쪽 Worksheet selector의 Physical에서 Net의 All layer를 선택한다.

16. GND Net의 Reference Physical CSet의 DEFAULT 항목을 선택하여, 화살버튼에서 POWER로 변경한다.



Type	Objects	Referenced Physical CSet	Line Width		Neck	
			Min	Max	Min Width	Max Length
			mil	mil	mil	mil
*	*	*	*	*	*	*
Dsn	tlmeter	DEFAULT	10	0	5	0
Net	+12V	DEFAULT	10	0	5	0
Net	-12V	DEFAULT	10	0	5	0
Net	A0	DEFAULT	10	0	5	0
Net	A1	DEFAULT	10	0	5	0
Net	A2	DEFAULT	10	0	5	0
Net	FF_SR	DEFAULT	10	0	5	0
Net	GND		10	0	5	0
Net	N02639	DEFAULT	10	0	5	0
Net	N02643	POWER	10	0	5	0
Net	N02650	DEFAULT	10	0	5	0
Net	N02745	DEFAULT	10	0	5	0

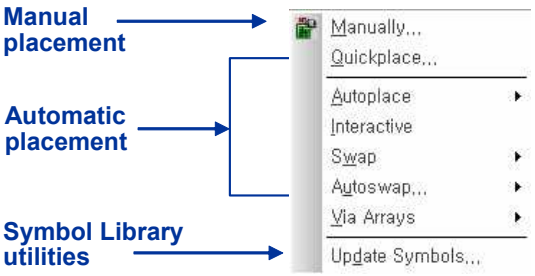
17. GND의 Line Width Min 값이 10에서 20으로 자동으로 변경된 것을 확인한다.

18. 동일한 방법으로 VDD Net도 Physical CSet을 POWER로 변경한 다음, Allegro Constraint Manager창을 닫는다.(별도 저장 없이 입력과 동시에 저장 완료됨)

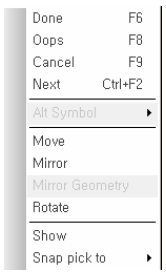
4 부품 배치(Placement)

■ Interactive Placement

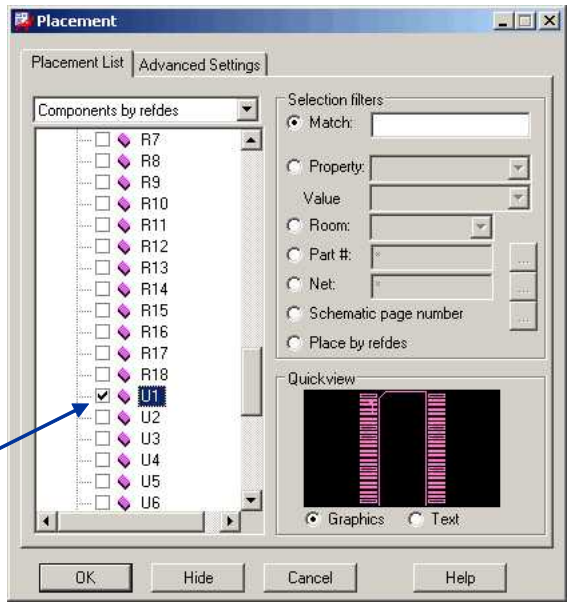
- Place



RMB 팝업 메뉴



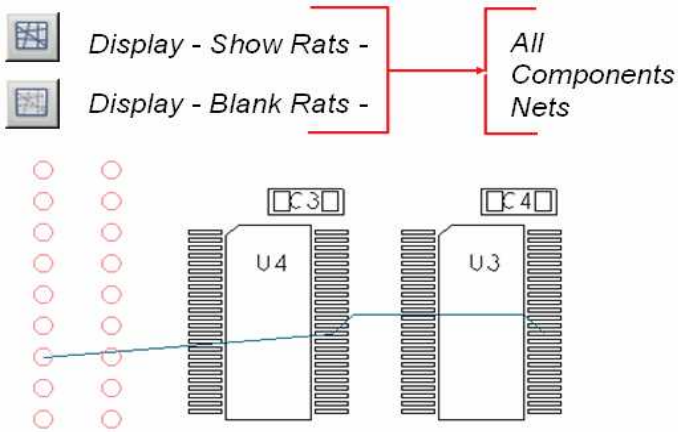
Place > Manually... 또는 툴바 아이콘



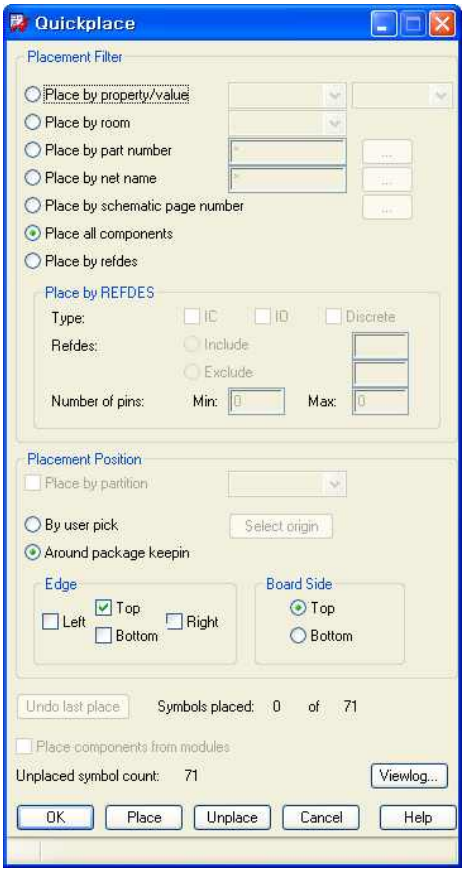
- 신호의 흐름과 방향을 고려하여 적절히 배치

■ Ratsnests

- Ratsnests는 Unconnect(Unroute) 된 Net의 Pin 사이에서 디스플레이 된 Line
- Ratnest는 같은 Net 이름을 가지고 있는 Pin들 사이에서의 관계를 보여준다.
- Ratsnest 선은 배치 경로를 매우 유용하게 한다.
- Ratsnest들의 디스플레이을 제어함으로서, 복잡한 영역의 식별을 도울 수 있다.

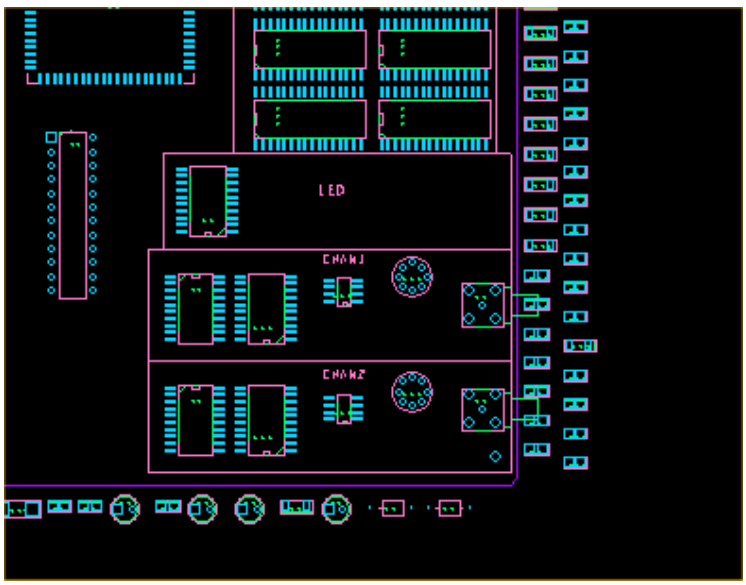


■ QuickPlace



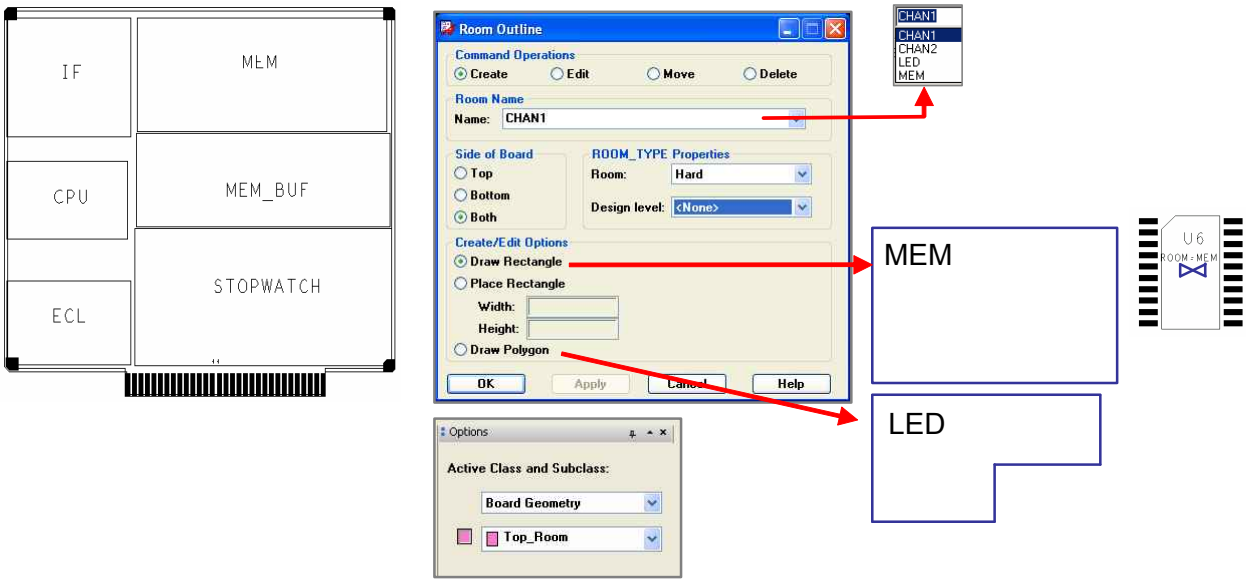
Place – Quickplace…

Ex) 보드 외곽라인 주위로 부품 배치

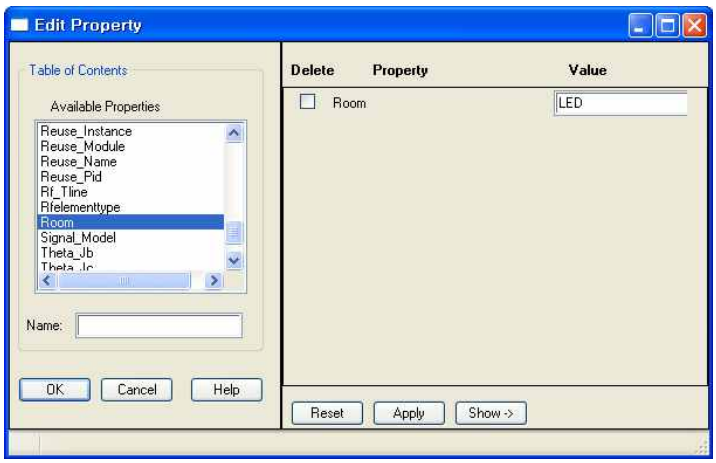


- Quickplace Room 생성

Setup - Outlines - Room Outline

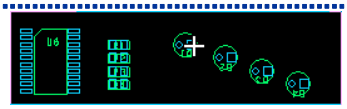


Comp 속성 - Room 지정

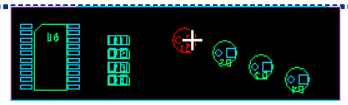


■ 부품 삭제

Step 1
Edit > Delete 또는

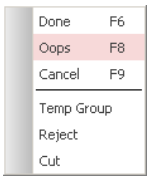


Step 2
삭제할 부품 클릭
(Find Filter 탭 확인)

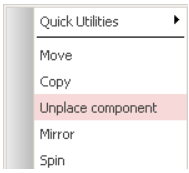


Step 3
LMB 클릭 또는 영역,
삭제할 다른 부품 클릭

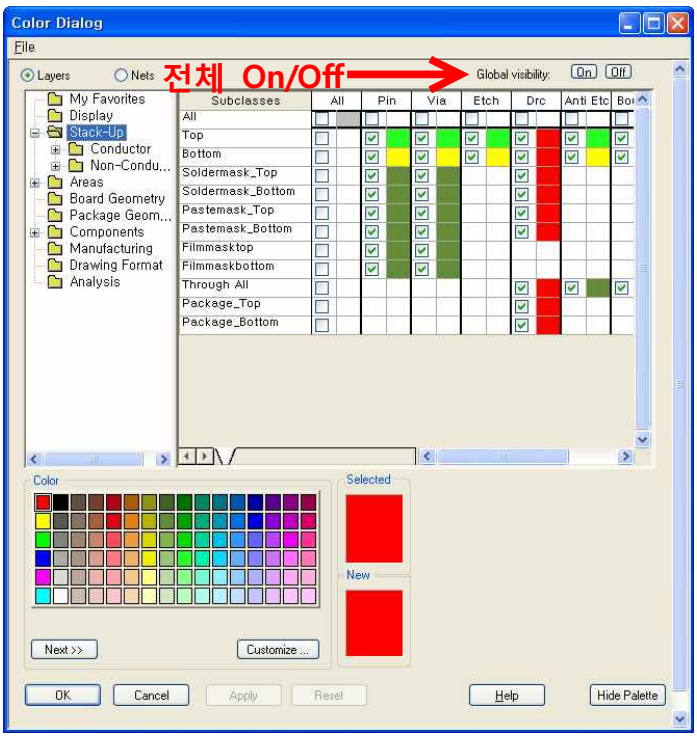
Step 4
RMB Oops 한 단계 **Undo**

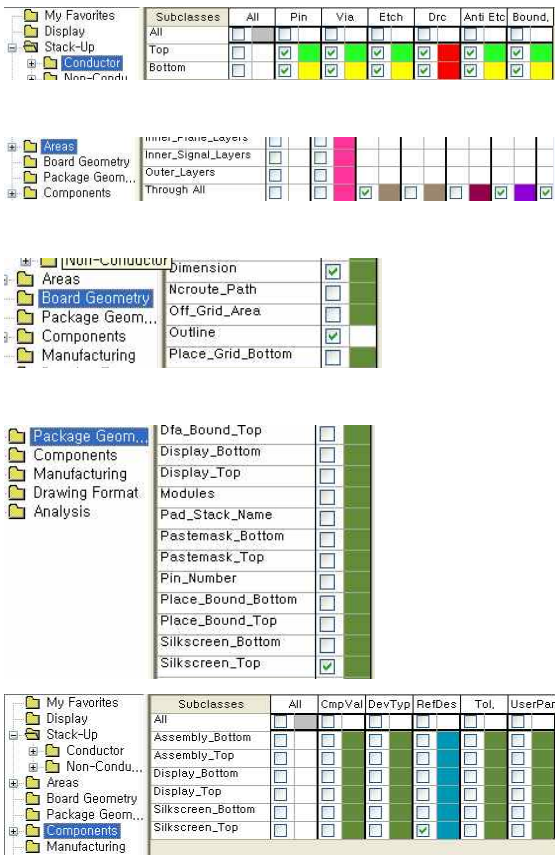


또는 **RMB** 팝업 메뉴



■ Color 설정 (기본 Class/Subclass color 설정)





※ Class 와 Subclass

- 설계를 돕기 위해서 기존 Layer의 개념을 변경하여, class/subclass 라고 하는 데이터 영역에 대해서 element가 기본적으로 등록 되어 사용할 수 있도록 되어 있다.
  Class는 현재 21개를 지원하며, 기본적으로 1 class에 최대 127의 subclass를 등록할 수 있다.

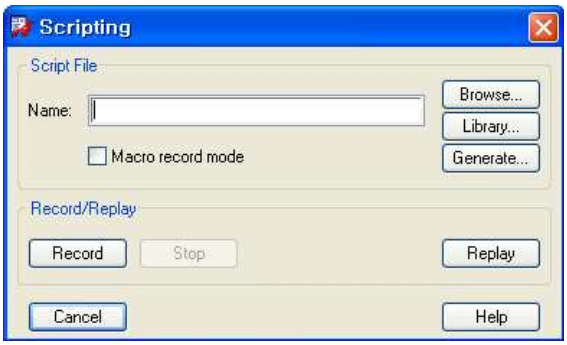
- Class : 설계상에 표시되는 모든 타입의 아이템을 나타낸다.
Ex) ETCH : 전기적 접속을 이루는 동박
BOARD GEOMETRY : 설계에 사용되는 Board outline 및 PCB에 관련된 기타 외형
PACKAGE GEOMETRY : 설계에 사용되는 Component

- Subclass : Class의 세부적 항목의 데이터를 정의
Ex) Add > Line 명령 실행 후 Control panel의 Class가 Board Geometry 인 경우 단순한 외형 그래픽 요소를 추가할 수 있다.
Add > Line 명령 실행 후 Control panel의 Class가 Etch 인 경우, 전기적 속성을 가지는 동박 라인을 추가할 수 있다.

- Color/Visibility 폼의 각 Group에 따라 나뉘어져 정리되어 있다.

■ Script 활용 : 각 Parameter의 설정값들을 Record 기능을 통해 편리하게 설정 가능

File - Script...



1. Name 입력(확장자.scr)
2. Record 버튼 클릭 후(Scripting창 숨김) 설정 작업 시작
3. 설정 작업 종료 후 Scripting 창 Stop 버튼 클릭(설정 작업 저장 완료)
4. 재작업시 이름 부여한 *.scr 파일 찾아서 Replay 버튼 클릭하면 간편하게 설정

Lab.

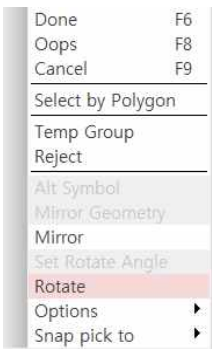
• 부품 배치(Manual)

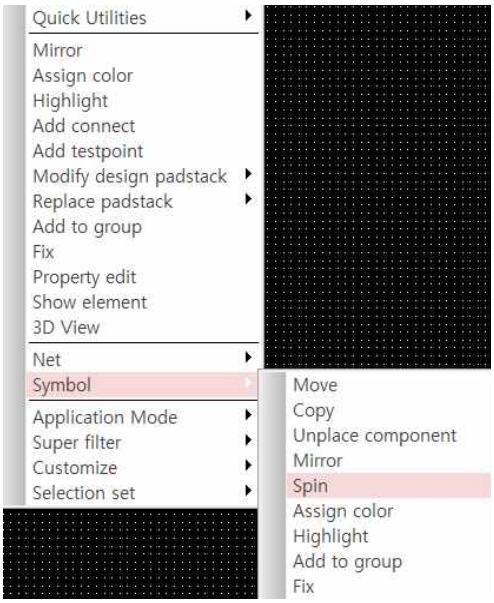
1. 메뉴바 Place - Manually...를 선택한다.

2. 부품 List가 보이며 부품명 왼쪽의 체크박스를 체크하면 Quickview가 나타나며, Placement창 아래의 Hide 버튼을 선택해야만 창이 닫히면서 해당 부품이 마우스에 따라 다닌다.(OK 버튼을 선택하면 Placement창이 닫힘)

3. 여러 부품을 체크한 경우에는 미리보기는 하나만 나타나지만, 작업창에 클릭하는 대로 체크된 개수만큼 순서대로 마우스에 따라 다녀 배치가 가능하다.

4. 배치 전 이동 중에 마우스 팝업 메뉴의 Rotate를 통해 회전이 가능하고, 클릭하여 배치가 완료되면 Spin 명령을 활용해야 회전이 가능하다.

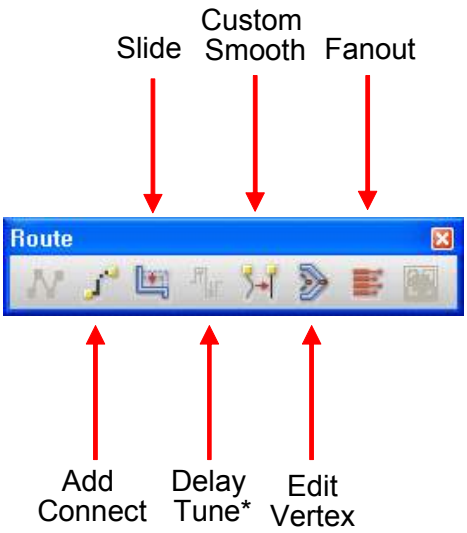




5. 부품을 삭제하면 Place - Manually 리스트에 다시 존재한다.
6. 다양한 배치 방법을 활용하여 Manually 리스트의 모든 부품(회로도 전 부품)을 배치 완료한다.
   (배치 후 이동 - ① 먼저 Move 메뉴 선택 ② 마우스 왼쪽 버튼으로 부품개별 또는 영역 선택 ③ 마우스 왼쪽 버튼 클릭(이동 됨), 다시 클릭(이동 완료) ④ 마우스 팝업 메뉴 Done 선택)

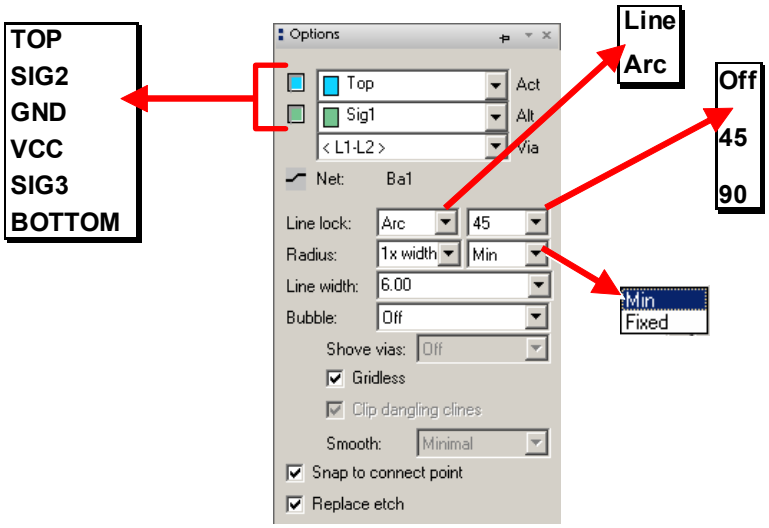
5 배선(Route)

■ Interactive Route mode



- Net Schedule : Net에 대해 connect들의 방향에 대해 예정. PCB Design L 에서 사용할 수 없음
- Add Connect : Pin들 사이에 전기적인(Electrical) 접속을 만들기 위해 사용
- Slide : 기존의 배선(Trace)들을 Slide하여 이동하기 위해 사용
- Delay Tune : 완전하게 연결된 Net들이 Delay Constraint 조건을 만족하지 못하였을 경우, Etch를 추가하거나 제거하며 Delay조건을 충족하도록 Tuning 하기 위해 사용. PCB Design L 에서는 사용할 수 없음.
- Custom Smooth : 대화식으로 배선(수동 배선) 되어진 Trace들에 대하여 Smooth 또는 Gloss (매끈하게 정리) 하기 위해 사용
- Edit Vertex : 기존 배선(Trace)들로부터 정점(Vertice)들을 추가 하거나 삭제하기 위해 사용

■ Option window selection



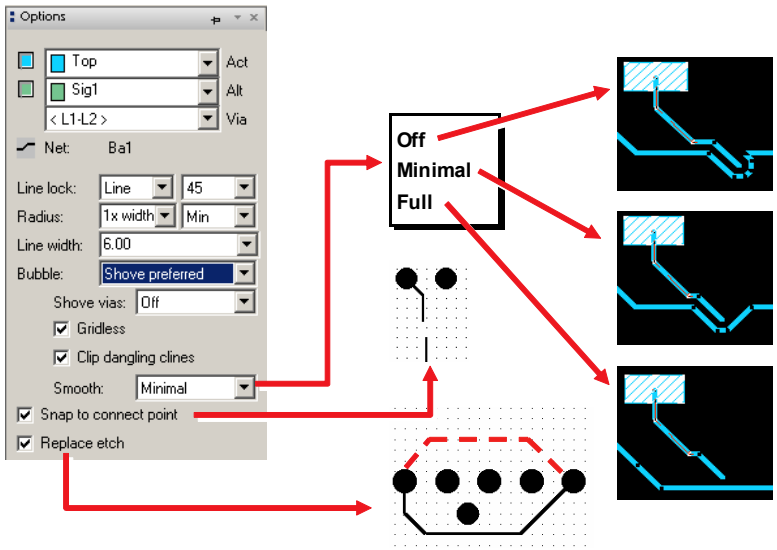
- Act 와 Alt : Active 와Alternate subclass 필드들은 현재 어느 Layer가 사용될 것인가에 관해 결정한다. 만약 Swap을 선택하거나 Via를 추가하면 Active 와 Alternate Layer는 서로 바뀌게 될 것이다. 표면실장(surface-mount) Pin 또는 기존 Etch의 일부 조각을 선택할 때, Active layer는 자동적으로 적절한 Subclass로 선택되어 바뀔 것이다.

- Line Lock : 이 설정은 Line의 Type을 Control하는데, Line 또는 Arc 그리고 각(angle)들의 변환을 설정한다. Off는 "any-angle routing"을 허용함을 의미한다.

- Miter : Miter Size에 대한 값(Value)을 정의한다. 확실한 Length 또는 Miter Value를 설정하여야 하며, 현재의 Line Width(i.e.3x width)의 값에 대하여 상대적으로 Set하기 위하여 Line Width의 값에 n 값을 곱하게 된다.

- Line Width : 기본적인 Line Width 값(Value)은 Standard Design Rules에 의존하게 된다. Routing을 위해 Pin을 선택할 때, PCB Editor program은 그 Net를 인지하여 자동적으로 Options 폼의 Net Name 필드와 Line Size를 나타낸다. 또한 사용자는 그 필드에 직접 값(Value)을 입력 할 수도 있다.

■ Option widow - Smooth

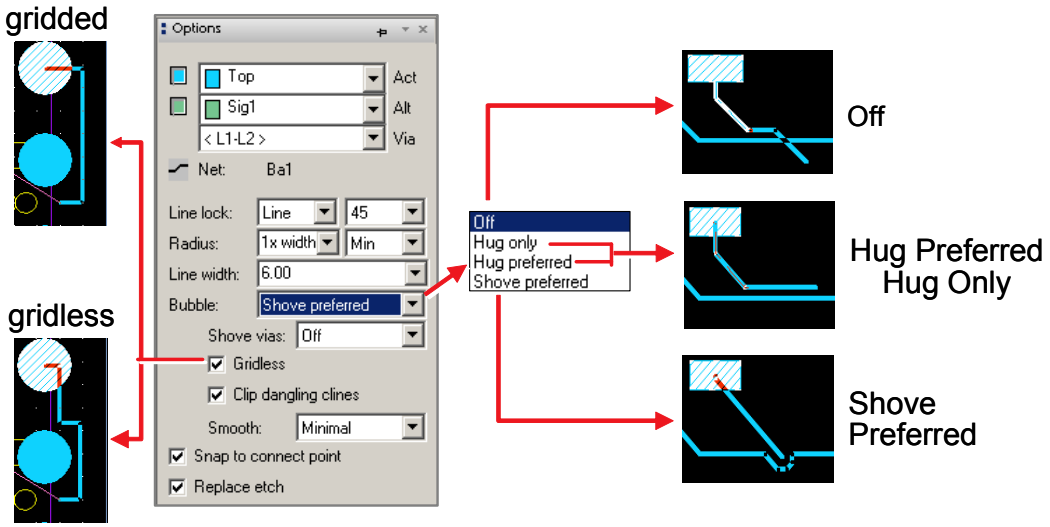


- Smooth : 이 기능은 배선을 진행함에 있어서 자동적으로 Routing을 평행하게 할 것인가를 제어하도록 한다. 대화식 배선에 있어서 실시간으로 Etch를 Push와 Shove 시키게 된다. 이 Smooth 기능은 Hug Preferred 나 Shove Preferred에서 사용할 수 있으며, 아래의 3가지 Option을 제공하고 있다.
  - Off는 이 기능의 사용을 금지함을 의미한다. 현재의 Route에 의해 영향을 받는 기존의 Etch는 결국 바람직하지 않은 Angle이나 Bubble로 끝날 수 있다. 이 옵션은 Etch를 Shield 시키기 위한 방법으로 사용된다.
  - Minimal은 여분의 짧은 Segment만이 약간 무시되어 진행된다.
  - Full은 Custom Smooth 명령과 같이, 더 많은 Segmemt들이 무시되어 진행된다.

- Snap to Connect : 이 옵션은 Off-grid의 Pad들, Via들 또는 Dangling endpoint(끝부분이 끊어진)와 Etch를 연결할 수 있게 한다.

- Replace Etch : Replace Etch는 지우거나 추가하지 않고 기존의 Trace 경로를 변경하도록 한다. 기존의 Trace에 Loop를 추가할 때, 그 Loop의 이전 부분이 자동적으로 삭제될 것이다.

■ Option window - Bubble/Gridless



• Bubble : Bubble 필드는 다음 3가지 Option 항목을 제공한다.

- Off는 Route시에 커서를 Pick(선택)한 x와 y의 지점을 무조건적으로 따르는 것을 의미한다. 이 옵션은 DRC Error를 무시하며 진행 되어지기 때문에 사용자가 정확하게 Routing 해야한다.
- Hug Preferred는 기존의 Etch 객체들 주의에 새로운 Route로 감싸 않듯이(Hug) 배선되어짐을 의미한다.
- Shove Preferred는 Spacing을 위반 하지 않는 범위에서 다른 Etch 객체들을 밀어내거나 움직이는 것을 의미한다.

• Gridless : 이 기능은 추가된 Etch에 Routing Grid로 Snap을 줄 것인지 아닌지를 결정한다. Gridless는 단지 Hug Preferred 또는Shove Preferred 모드에서 사용할 수 있으며, 이 옵션은 2가지 선택 항목을 제공한다. :

- Off는 Grid를 벗어나서 Route가 가능한 부분으로 Push를 진행한다.
- On은 최소 DRC clearance 만큼 충분히 Pad와 Via들에서 떨어지면서 Push를 진행한다.

• Shove Vias : 기존 Etch의 이동에 의해 존재하는 Via들도 이동되도록 한다. 이 옵션은 3가지 모드를 지원한다. :

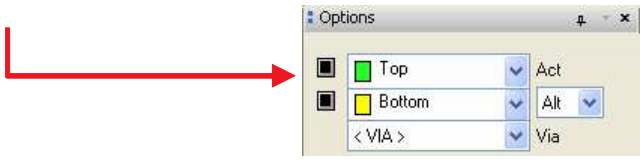
- Off 는 기존의 Via들을 움직이지 않도록 하며, Shove되어진 Etch는 Via의 주변으로 이동 되어 질 것이다.
- Minimal은 Via들을 둘러싸고 있는 Connection Line이 더 이상 진행할 방법이 없을

때만 Via를 이동시킨다.
- Full은 Via들은 항상 Shove 되어진다.

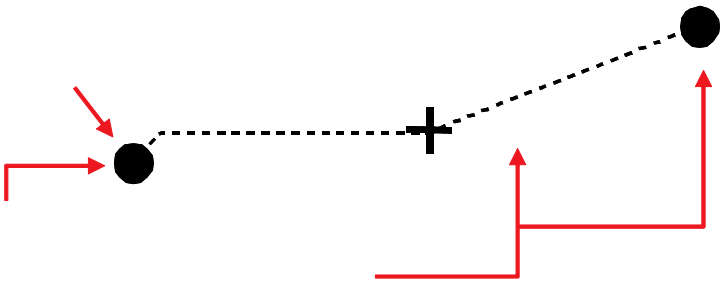
■ Route 방법

1. Route - Connect 또는 툴바 아이콘 클릭

2. "활성화된" layer



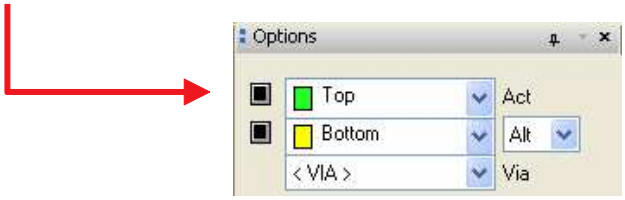
3. 시작핀 선택



4. 배선 연결 시작
5. 필요한 지점 계속 클릭하며 연결
6. Connect mode 끝내기 위해 Done 명령 선택

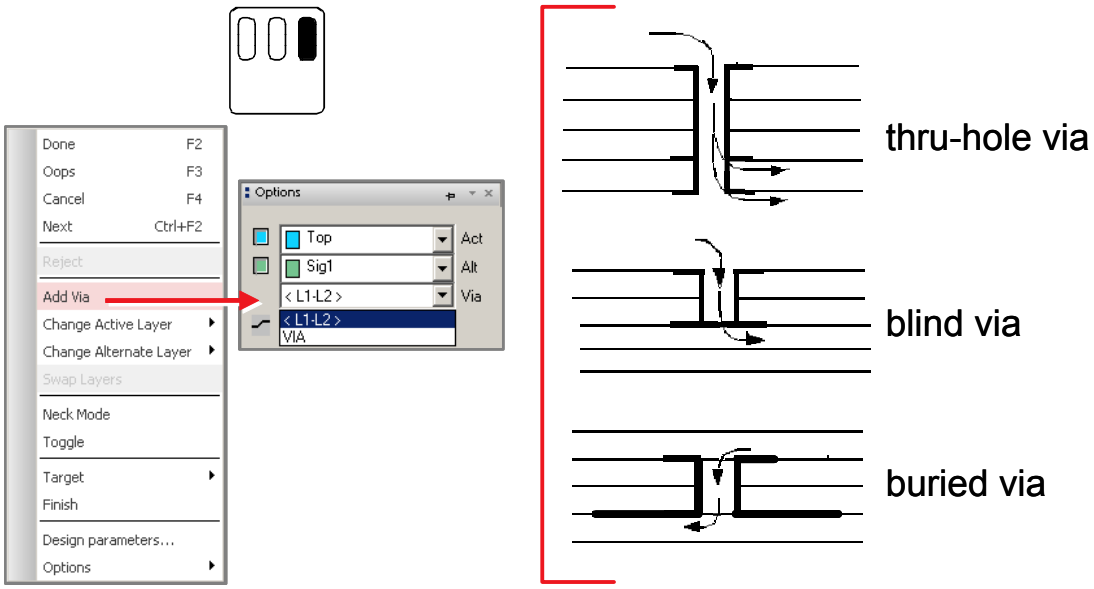
■ Via 추가 방법

1. Route - Connect 또는 툴바 아이콘 클릭
2. "활성화된" layer



3. TOP layer에서 Etch 작업

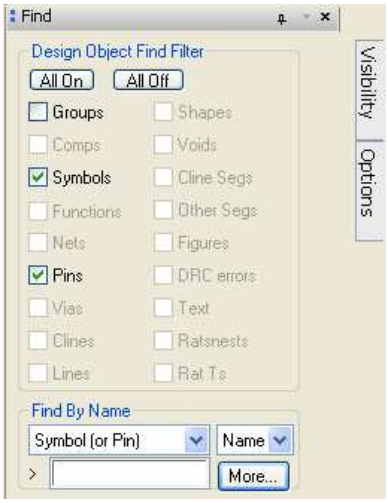
4. 더블클릭 이용하여 Via 삽입(또는 RMB 팝업 메뉴 Add Via)
5. BOTTOM layer로 변경돼 Etch 작업
6. Connect mode 끝내기 위해 Done 명령 선택

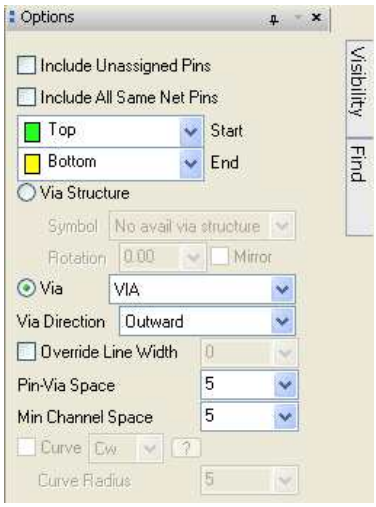


■ Fanout 방법

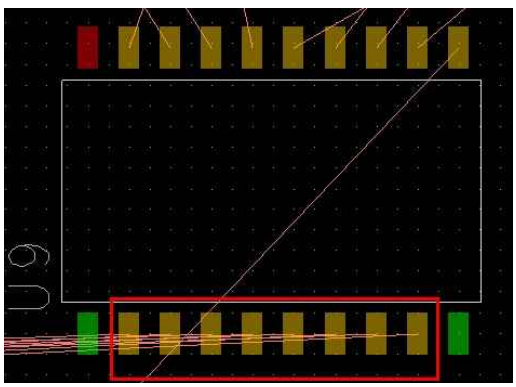
Route - Create Fanout

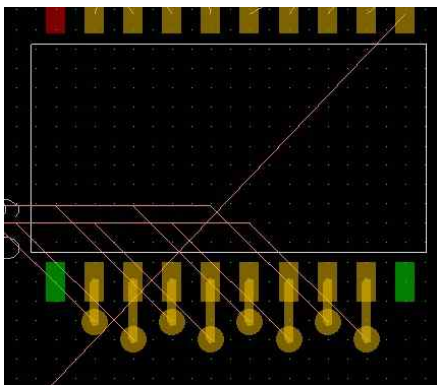
또는 툴바 아이콘





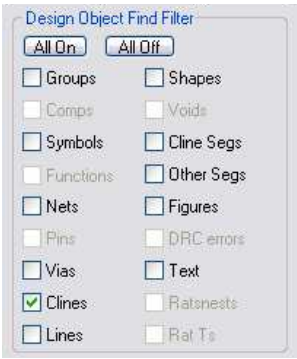
• Fanout 적용



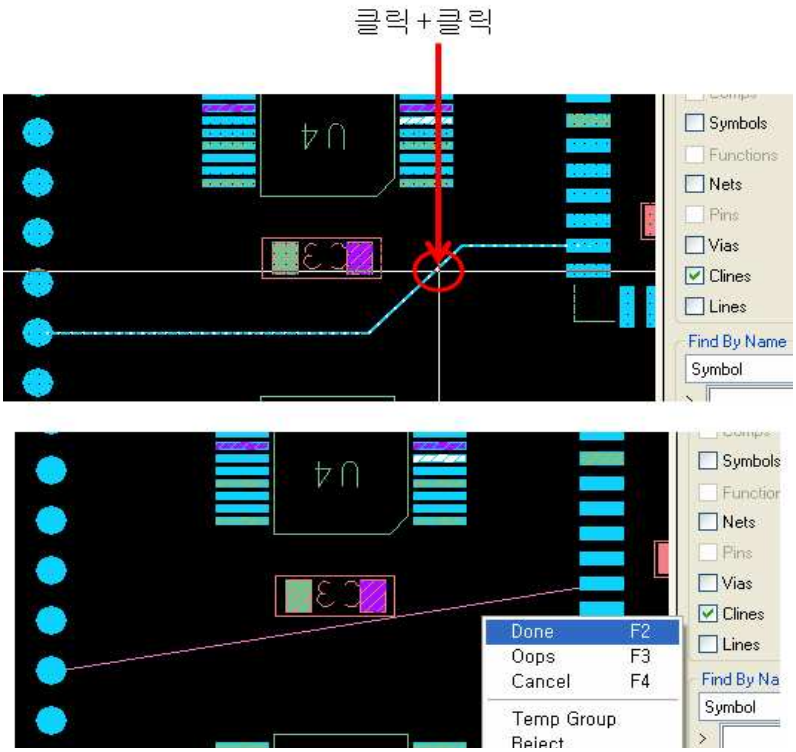


■ Etch의 삭제

1. Delete 아이콘 을 선택한다.
2. Find 탭에서 다음과 같이 설정한다.

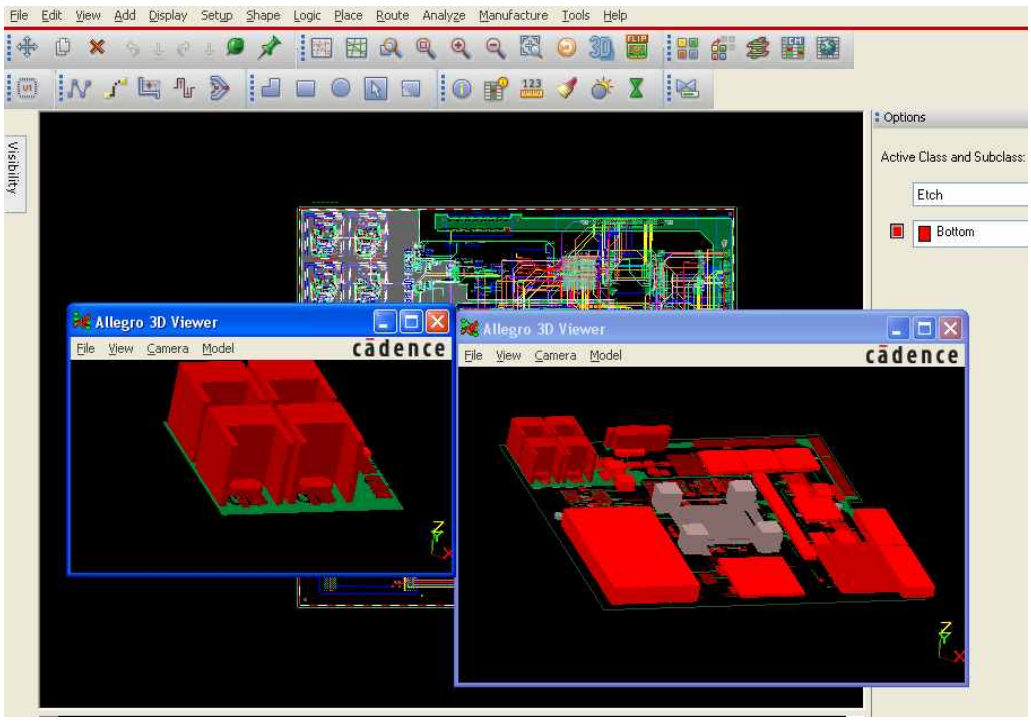


3. Cline을 두번 클릭 후 RMB의 Done을 선택한다.



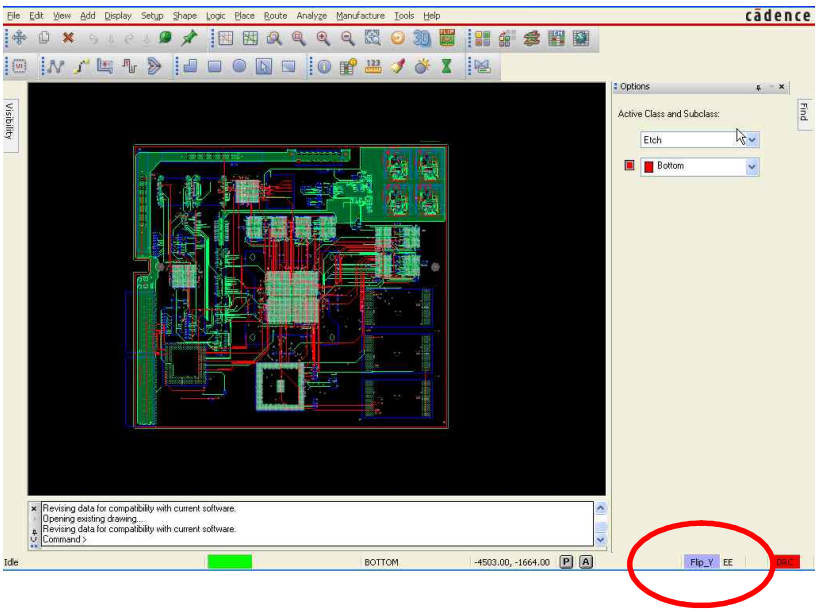
■ 3D Viewer

View - 3D View 또는 툴바 아이콘



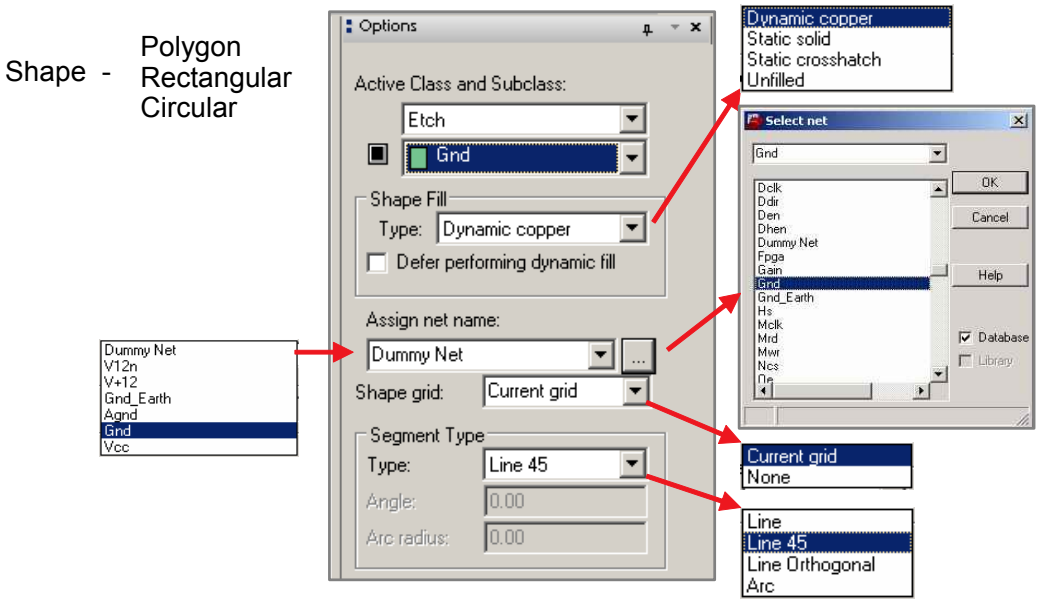
■ Flip Design : Bottom 면 기준

View - Flip Design 또는 툴바 아이콘



■ Copper(Shape)

• Copper Area 추가

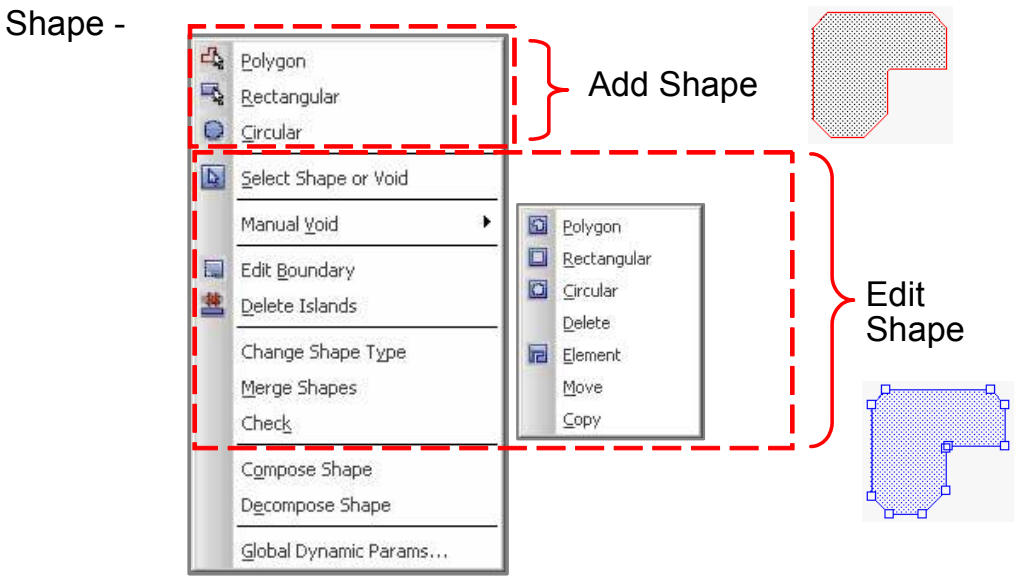


- Dynamic : 대부분의 전도성이 있는 Shape에 최적으로 사용될 수 있는 옵션. 사용자가 Shape의 Boundary(경계선)을 편집 또는 내부의 Element들의 편집을 실시할 때 마다 필요한 Void를 자동적으로 생성하여 Shape를 채우게 된다. Element의 편집이란, Component의 이동, Cline 과 Via의 추가하거나 Slide 또는 Parameter의 변경 등을 포함한다. Shape > Global Shape Parameters의 Shape fill 탭으로, 제어할 수 있는 Dynamic fill의 종류에는 Smooth, Rough, Disabled 가 있다.

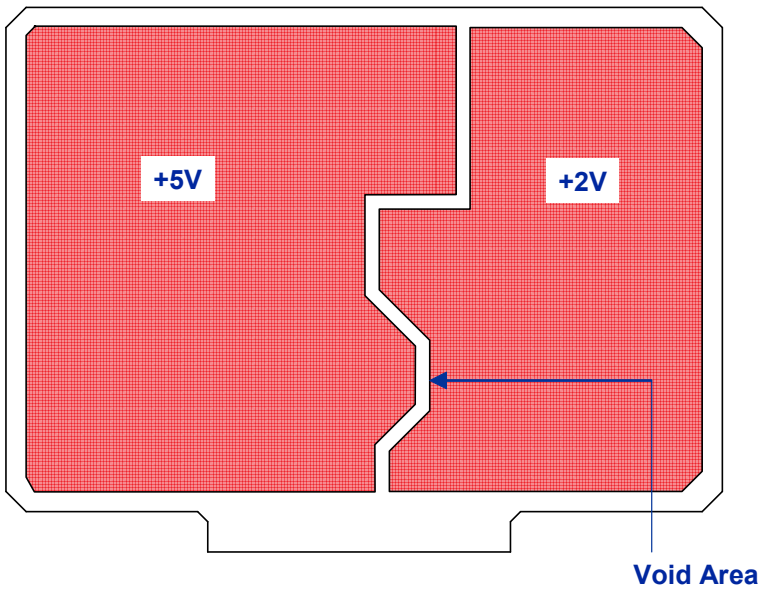
  Dynamic Copper는 Positive Plane, Negative Plane을 포함한 Etch Subclass(전기적인 배선) Layer에만 작성 가능하며, Artwork 품질의 Output을 생성하기 위한 DRC Checking이 실행된다.

- Static : 이 방식은 기존 버전(PSD 14.x 버전 이전)의 Shape Fill 방법으로써, 사용자가 Solid 또는 Crosshatch 방식으로 Fill 되어질 Shape Boundary 영역을 정의한다. 이러한 Static Fill 방식은 자동적으로 Void를 생성하지 않는다.

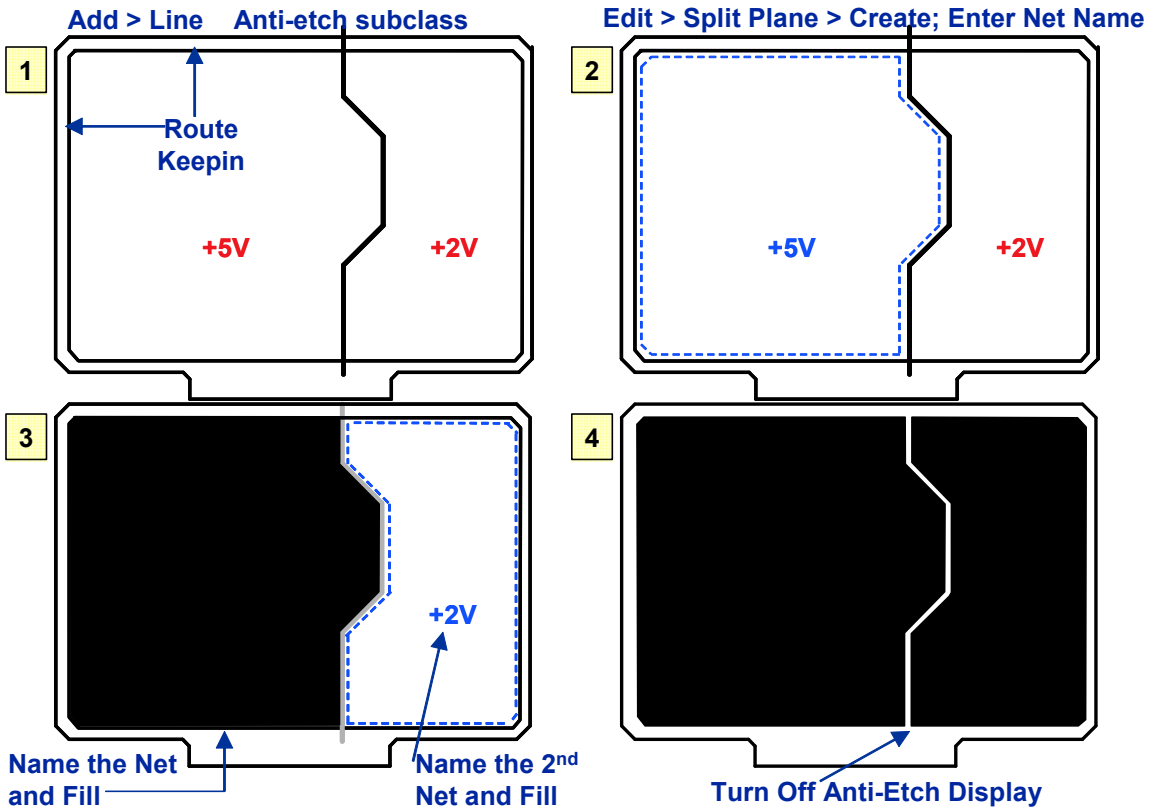
• Copper Area 편집



■ Split Planes



• Split Plane 방법



1. Add > Line을 선택 후 Class와 subclass를 Anti Etch에 Plane을 선택한 후 분리하고자 하는 Plane의 구분선을 그려준다. 이 때 주의할 점은 Route Keepin 영역의 끝점까지 그려야 한다.(Anti Etch 라인이 보이지 않으면 Color의 Conductor class의 Anti Etc를 On 시켜 준다). 그런 다음 메뉴바 Edit > Split Plane > Create 를 선택한다.

2. Create Split Plane 폼이 나타나면 split 할 layer를 선택한 다음 Create 버튼을 선택한다. 그러면 분리되는 영역이 활성화 되면서 Net을 선택한 후 OK 버튼을 선택하면 다음의 분리 영역이 나타난다.

3. Net을 선택한 후 OK 버튼을 선택하면 split plane이 완료된다. (여러 영역으로 분리 가능하다.) 이 후 Anti Etch 라인은 놔두거나 삭제해도 무방하며 Color를 off 시켜도 무방하다..

Lab.

• 배선(Manual)

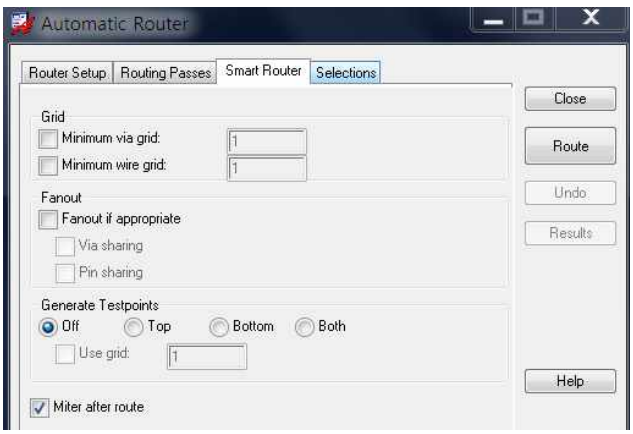
1. 다양한 배선 방법을 활용하여 Ratsnest 가 연결된 대로 Layer 별로 적절히 분산하여 배선을 완료한다.

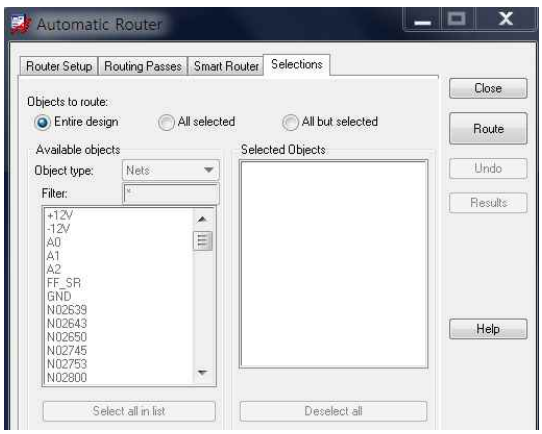
Lab.

• 배선(Automatic route)

1. 메뉴바 Route - PCB Router - Route Automatic...를 선택한다.
2. Automatic Router창의 Router Setup 탭메뉴의 Use smart router 에 체크한다.

3. Smart Router 탭메뉴로 이동하여 Miter after route에 체크한 후, Selection 탭메뉴로 이동하여 원하는 대상과 범위를 지정/선택한 후 Route 버튼을 선택한다. 완료되면 Close 버튼으로 창을 닫는다.



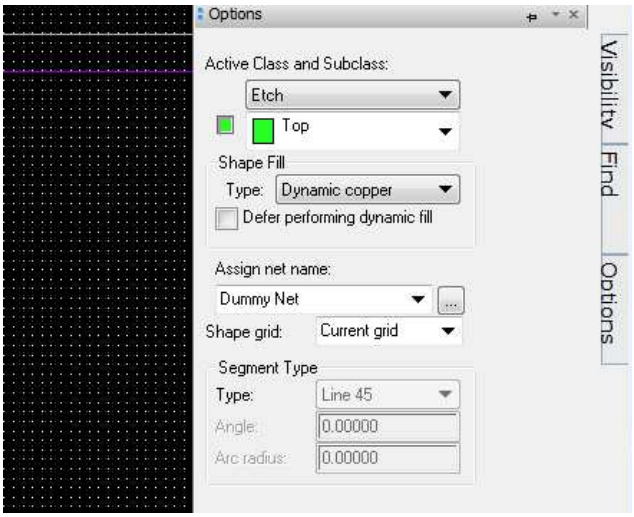


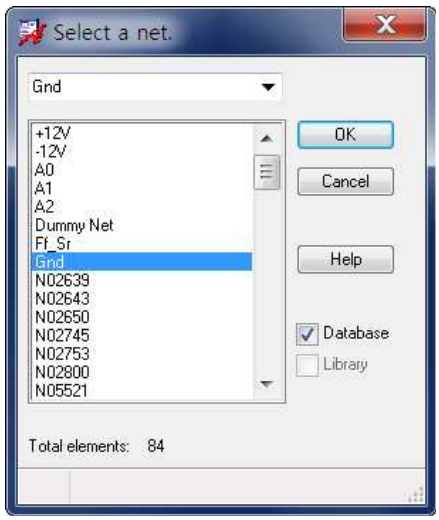
Lab.

• Shape(Copper) 적용 방법

1. Shape(Copper)는 Conductor/Plane layer에 씌우기가 가능하다. 메뉴바 Shape - Rectangular를 선택한다.

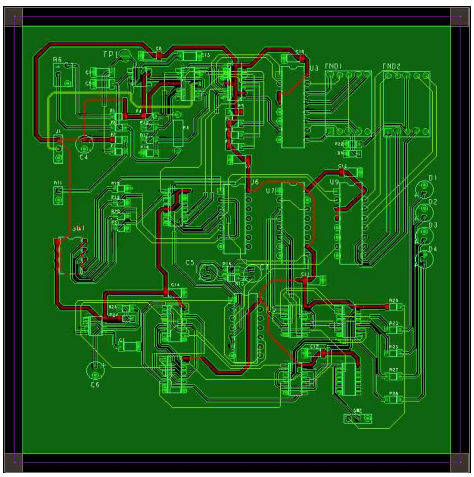
2. 마우스를 화면 오른쪽으로 이동하여 Options창이 나타나도록 한 다음, Top Layer를 확인하여 Assign net name Dummy Net 의 브라우저 버튼 ... 을 선택한다.





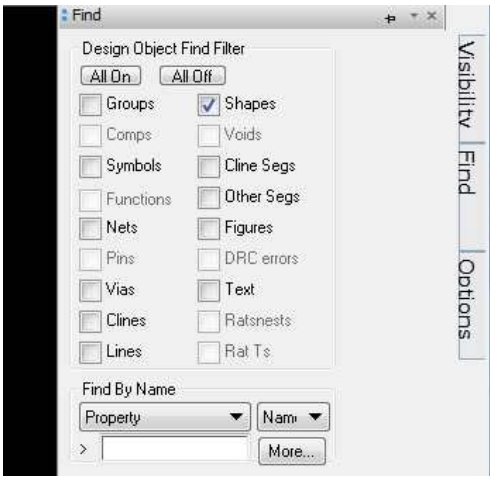
3. Gnd 등의 하나 Net을 선택 후 OK 버튼을 선택하여 Select a net창을 닫는다.

4. Shape을 씌울 시작점(Retangular 타입으로 시작점과 끝점만 클릭)을 클릭한 후 나머지 한 점을 클릭한다. 다음 명령 실행을 위해 마우스 팝업 메뉴 Done을 선택한다.



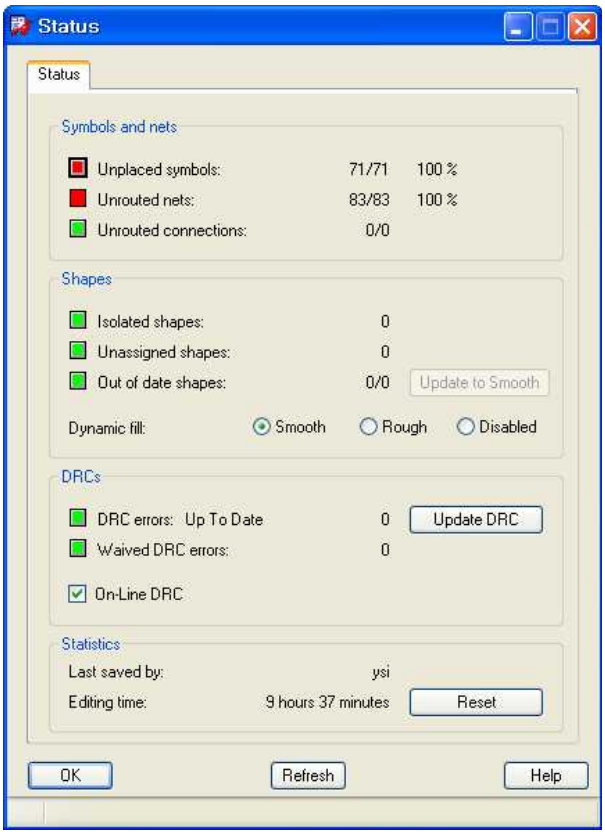
5. 동일한 방법으로 Bottom Layer에도 Shape을 씌워 보며, 방법을 익힌다.

6. Shape의 삭제는 먼저 삭제 명령 실행 후 Find창에서 Shape만을 선택하여 지우기가 가능하다.(다른 요소들이 같이 삭제되지 않도록 주의)



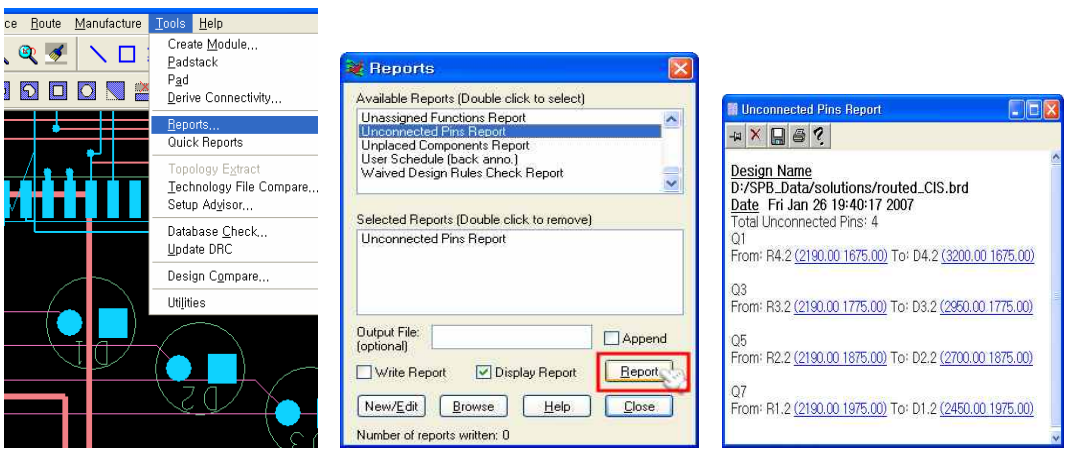
6 설계 검사(Status)

■ 설계 검사 : 항목이 녹색이면 정상적으로 설계



Display - Status...

※ Unconnected Pin의 확인



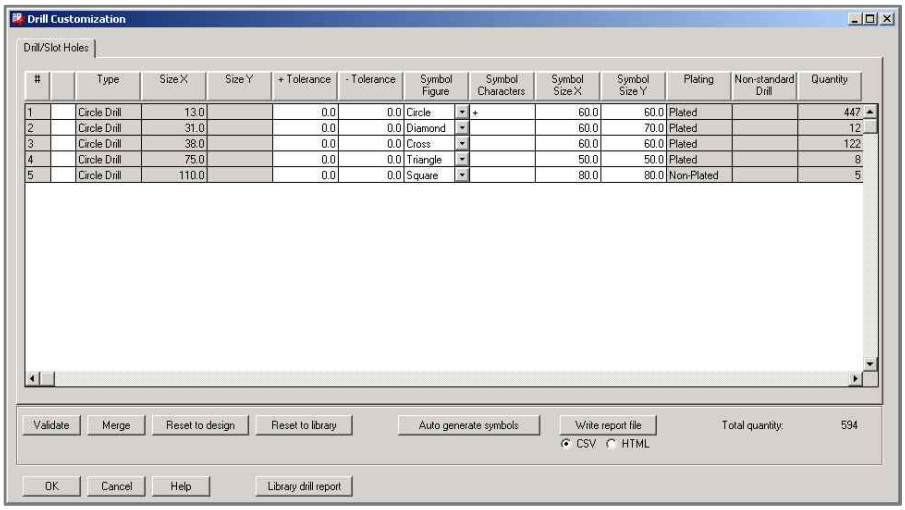
또는 Status 창의 칼라박스(빨강/노랑/녹색 상태박스)를 선택하면 동일한 Report 생성

7 Gerber 파일 생성

■ Drill symbol 과 Legend Table

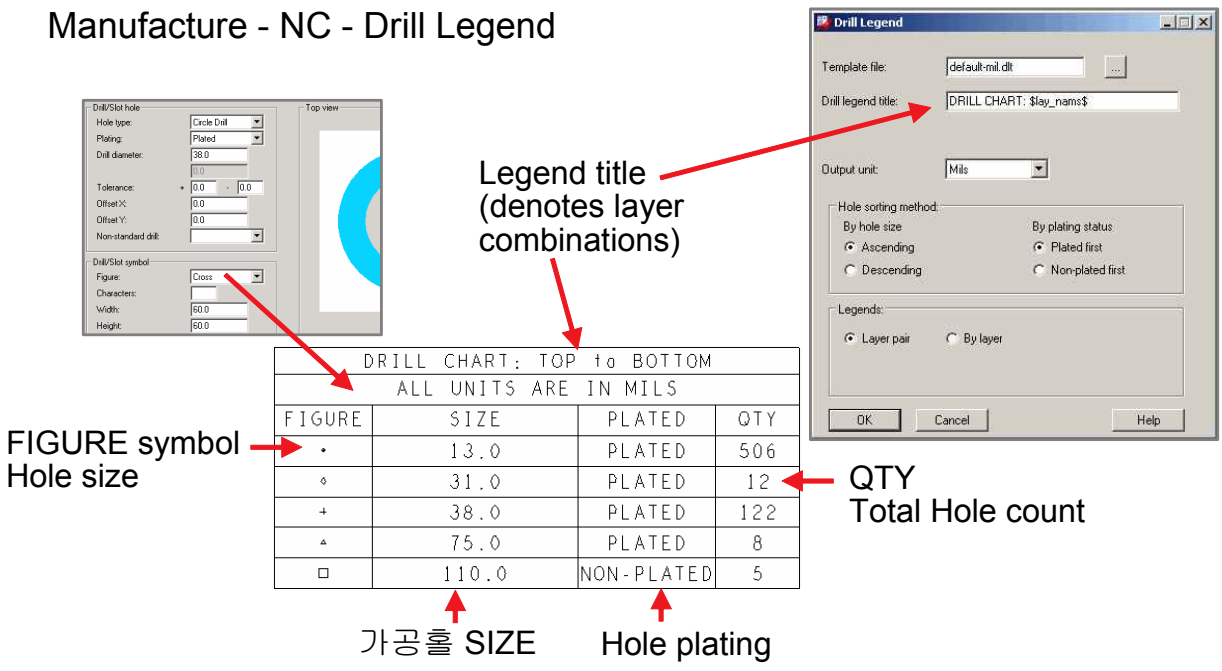
- Drill Symbol Customization

Manufacture - NC - Drill Customization



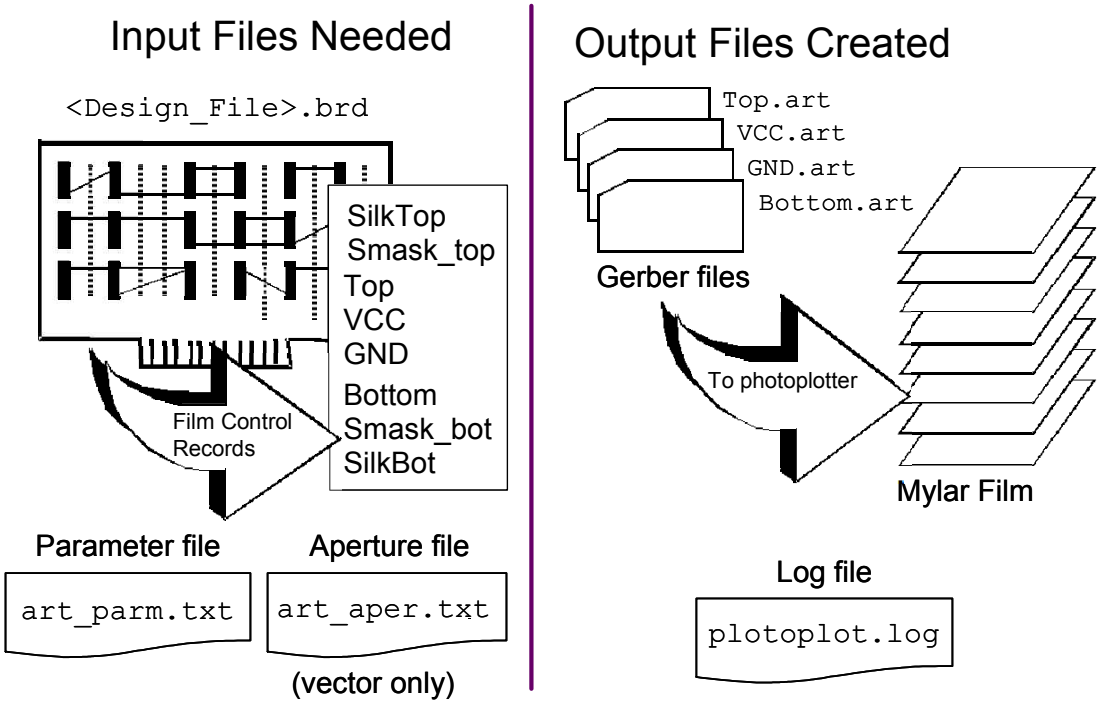
- Legend Table

Manufacture - NC - Drill Legend

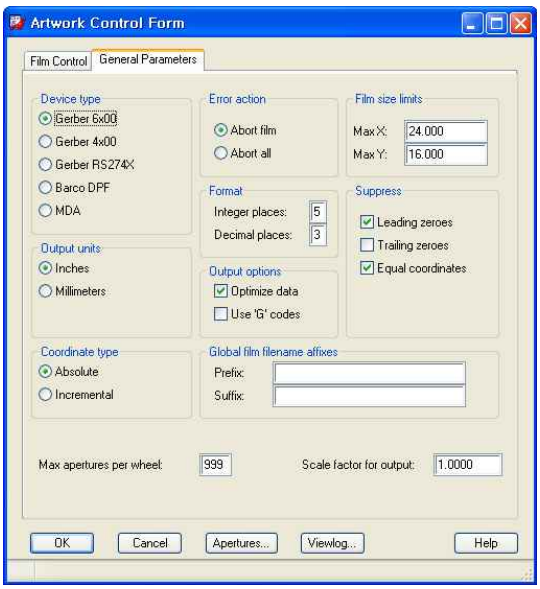


■ Artwork 파일 생성

• Artwork 파일 생성



• Artwork Control Form - General Parameters



Manufacture - Artwork...

또는 툴바 아이콘

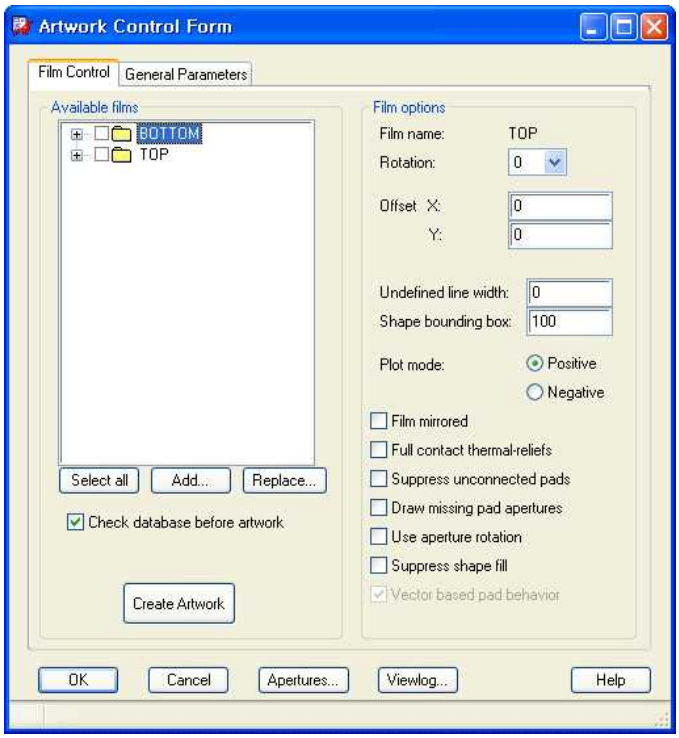
※ Format

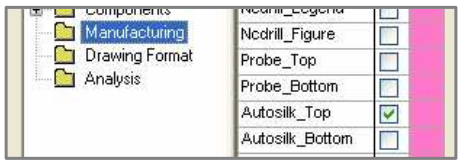
mil 단위 작업시 Decimal places를 늘려줘야 함

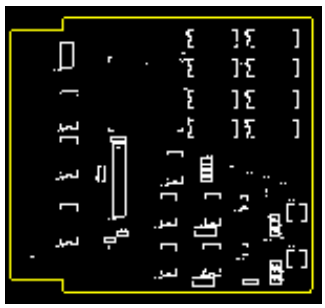
Ex) Integer places : 5

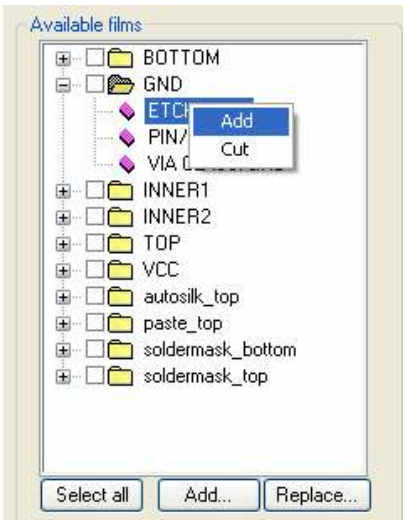
Decimal Places : 5

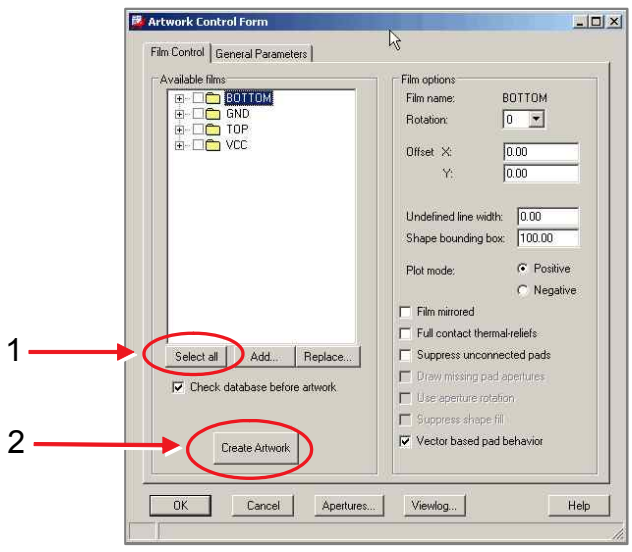
- Artwork Control Form - Film Control



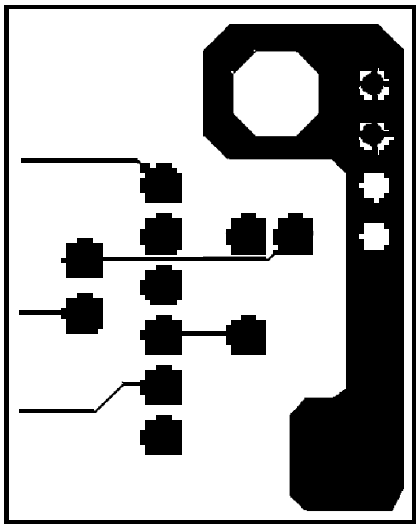




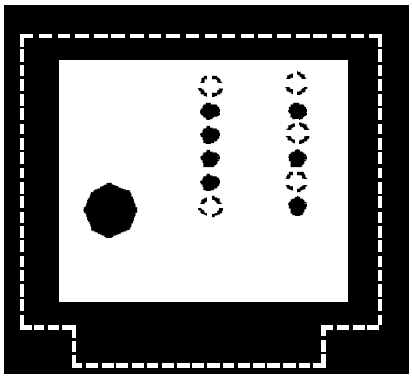




• Gerber File Viewing

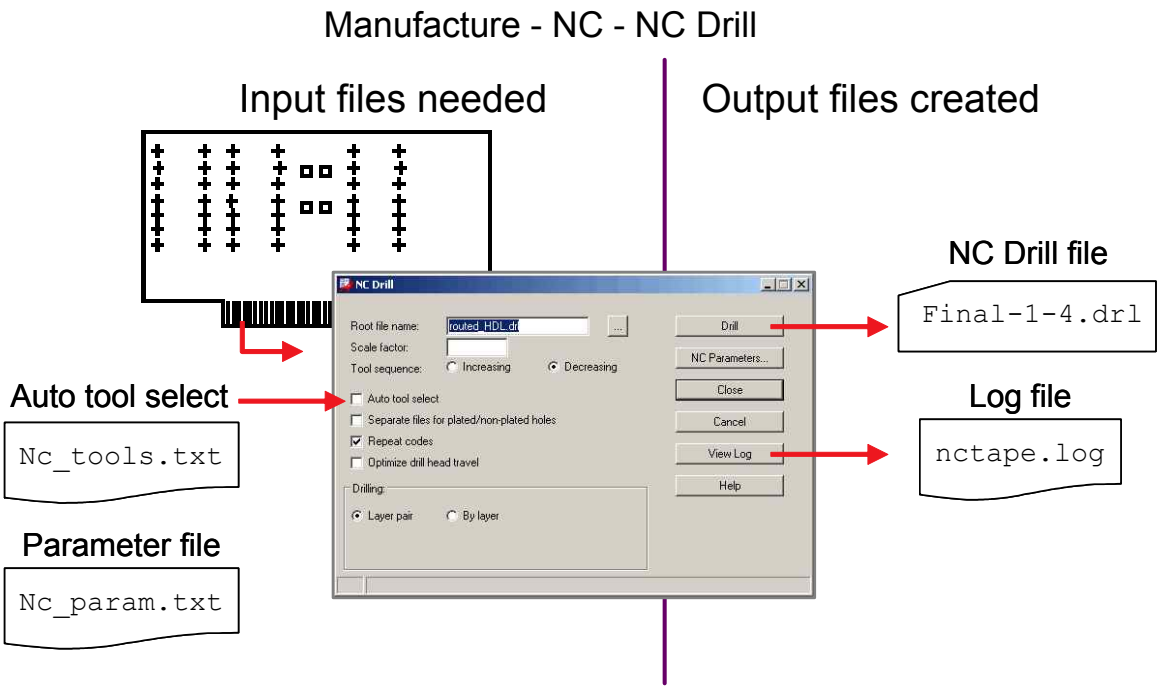


Positive (copper = black)



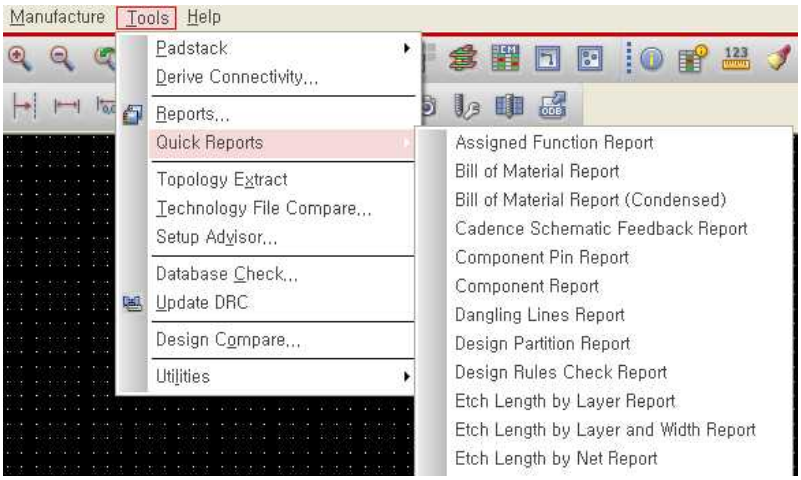
Negative (copper = clear)

■ NC-Drill File 생성



■ Report

- 각 종 Report



Component Report

Search: Match word Match case

Design Name c:/orcad_data/tlmeter/allegro/tlmeter.brd
Date Thu Jan 07 20:56:08 2010
Total Components: 71

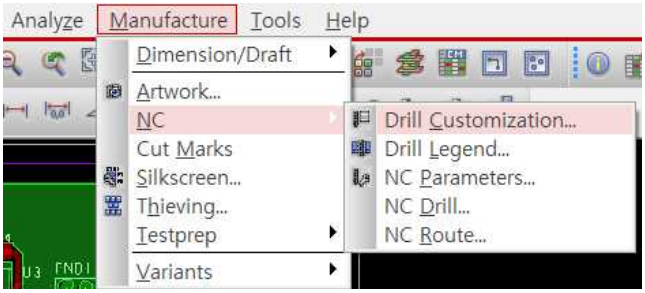
Component Report

REFDES	COMP_DEVICE_TYPE	COMP_VALUE	COMP_TOL	COMP_PACKAGE	SYM_X	SYM_Y	SYM_ROTATE	SYM_MIRROR
C1	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
C2	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
C3	CAP_CAP196_0.1UF	0.1uF		CAP196				
C4	CAP_CAP196_0.1UF	0.1uF		CAP196				
C5	CAP_CAP196_0.1UF	0.1uF		CAP196				
C6	C_CAP196_1UF	1uF		CAP196				
C7	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
C8	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
C9	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
C10	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
C11	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
C12	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
C13	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
C14	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
C15	CAP NP_SMDCAP_0.1UF	0.1uF		SMDCAP				
D1	LED_CAP196_LED	LED		CAP196				
D2	LED_CAP196_LED	LED		CAP196				
D3	LED_CAP196_LED	LED		CAP196				
D4	LED_CAP196_LED	LED		CAP196				

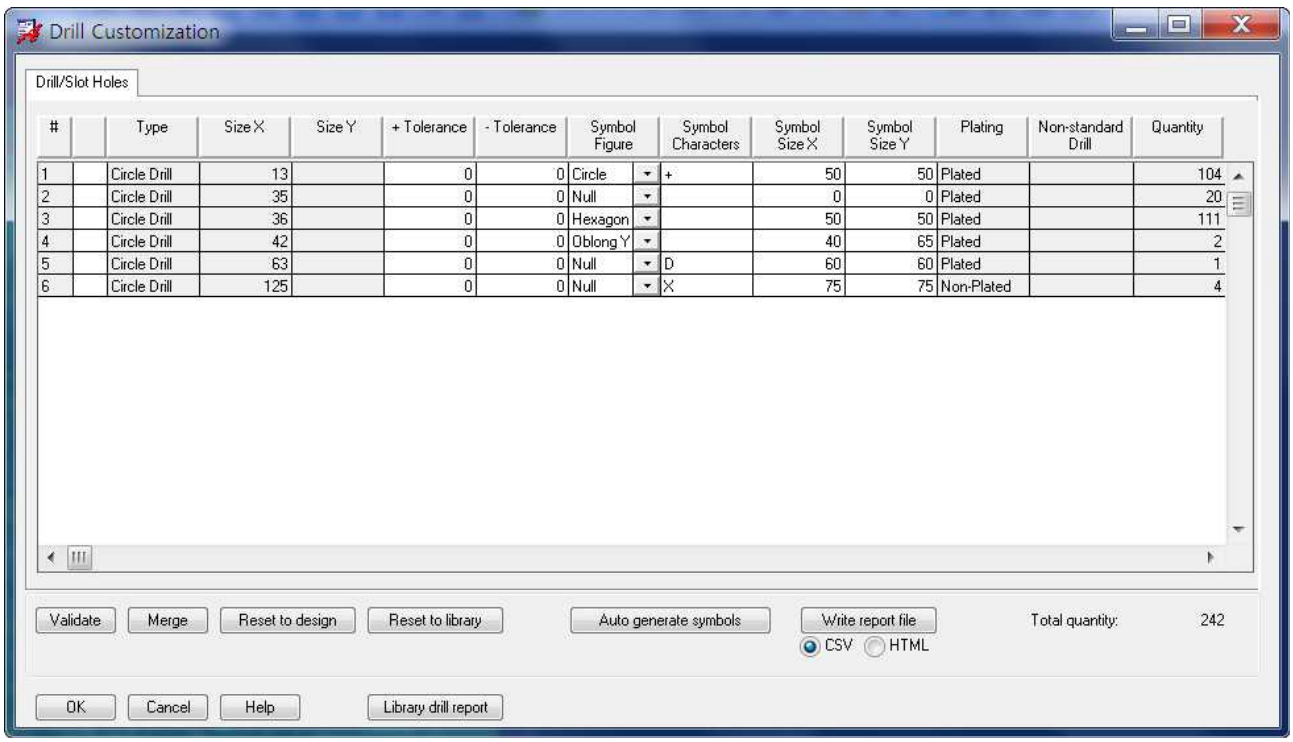
Lab.

• Drill symbol 및 Drill Legend(chart) 생성

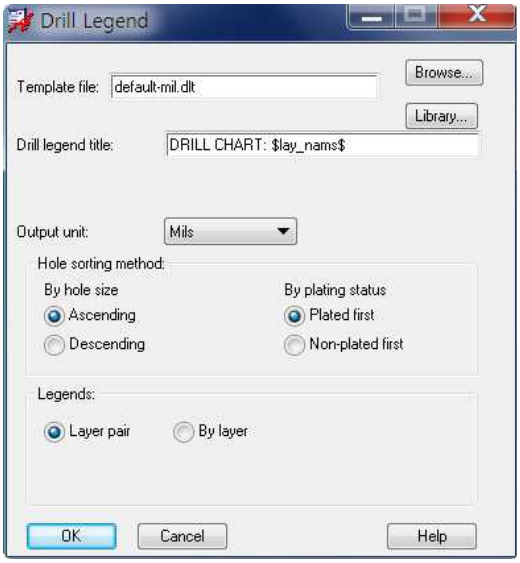
1. Drill symbol의 생성을 위해서 메뉴바 Manufacture - NC - Drill Customization...를 선택한다.



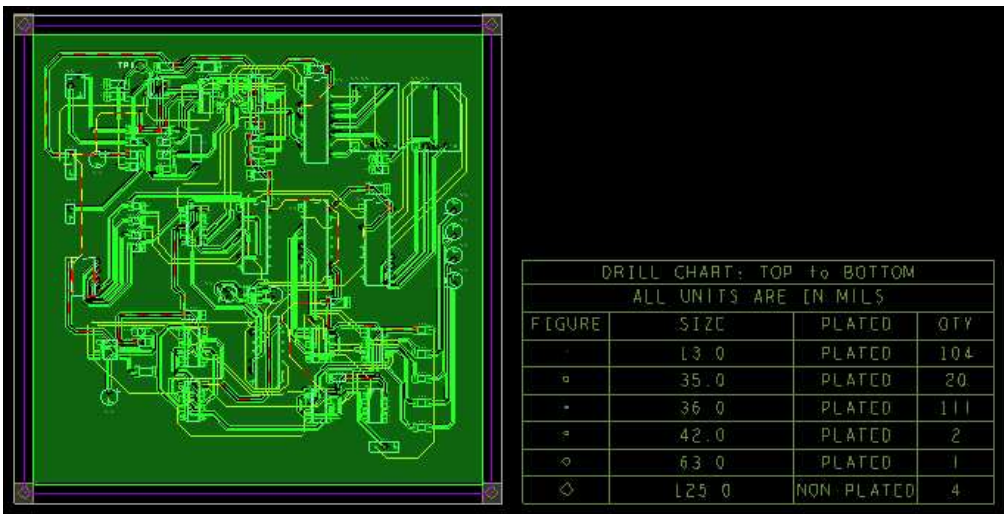
2. Drill Customization창 아래의 Auto generate symbols 버튼을 선택한 후(예 선택), Drill Customization창의 OK 버튼을 선택한다.(예 선택 후 창이 사라짐)



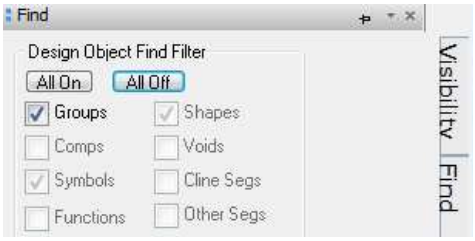
3. 메뉴바 Manufacture - NC - Drill Legend...를 선택한다.



4. OK 버튼을 선택하면 마우스에 Drill Legend가 이동하게 되며, 원하는 지점에 보드와 겹치지 않도록 클릭하여 배치한다.



5. Drill Legend의 이동은 Move 명령 후 Find창의 Groups 항목을 체크하여 Drill Legend를 클릭하면 이동이 가능하다.



Lab.

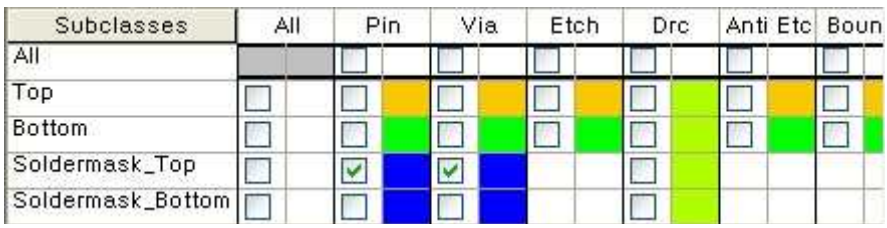
• Gerber Film 생성

■ 추가로 생성해야 할 거버 파일은

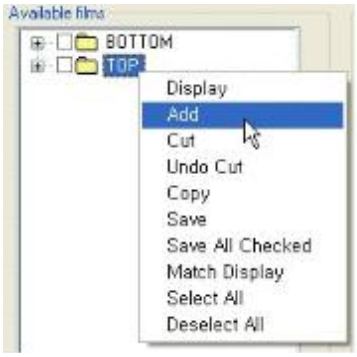
- Soldermask-top
- Soldermask-bottom,
- Pastemask-top (metal mask)
- Silkscreen-top (assembly-top)
- Drill drawing
- NC-Drill [수치 데이터]

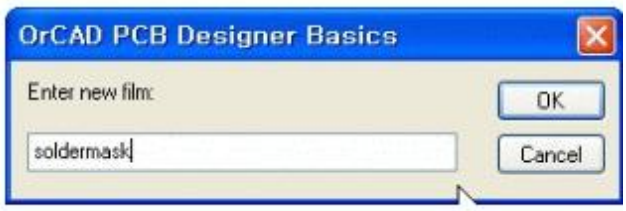
① Soldermask_TOP

- Color 설정을 변경한다.
- Global Off를 선택해서 모든 설정을 해제한다.
- Stack Up > Soldermask_Top의 Pin 과 Via를 선택한다.



- OK를 선택한다.
- Artwork 아이콘을 선택한다.
- Film Control Tab을 선택한다.
- TOP 폴더를 선택하고 마우스오른쪽 버튼의 팝업메뉴 중 Add를 선택한다.

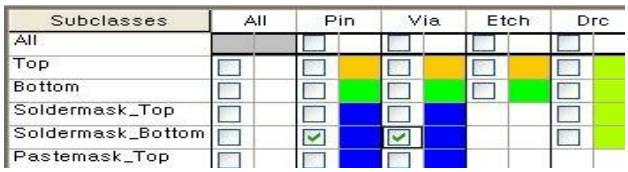




- 이름을 SM_TOP으로 기입한 후 OK 버튼을 클릭한다.

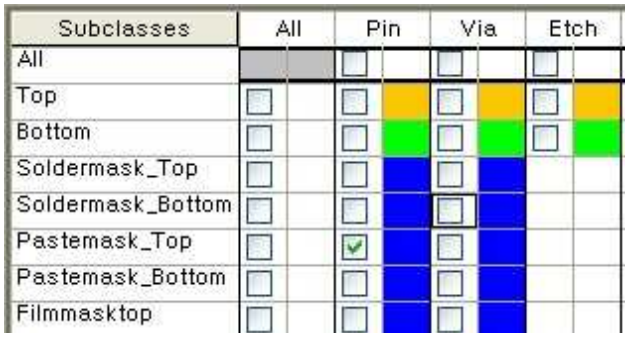
② Soldermask_Bottom

- Color 설정을 변경한다.
- Global Off를 선택해서 모든 설정을 해제한다.
- Stack Up > Soldermask_Bottom의 Pin 과 Via를 선택 후 OK.



- Artwork 아이콘을 선택한다.
- Film Control Tab을 선택한다.
- Bottom 폴더를 선택하고 마우스오른쪽 버튼의 팝업메뉴 중 Add를 선택한다.
- 이름을 SM_BOT으로 기입한다.
- OK를 선택한다.

③ Pastemask_Top
- Color 설정을 변경한다.
- Global Off를 선택해서 모든 설정을 해제한다.
- Stack Up > Pastemask_Top의 Pin을 선택한다.
- OK를 선택한다.

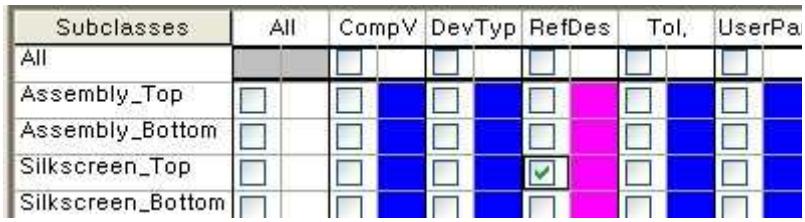


- Artwork 아이콘을 선택한다.
- Film Control Tab을 선택한다.
- Bottom 폴더를 선택하고 마우스오른쪽 버튼의 팝업메뉴 중 Add를 선택한다.
- 이름을 PASTE_TOP으로 기입한다.
- OK를 선택한다.

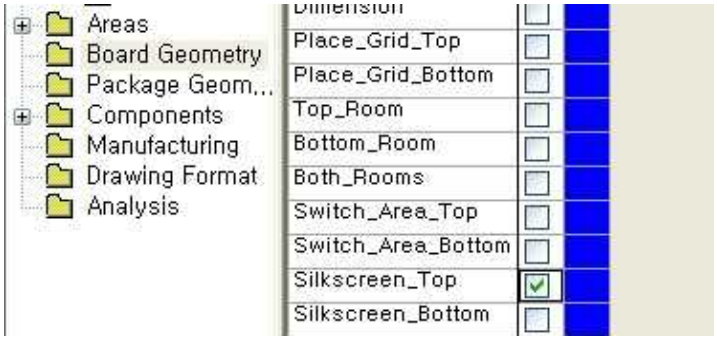
④ Silkscreen_Top

- Color 설정을 변경한다.
- Global Off를 선택해서 모든 설정을 해제한다.
- Package Geometry > Silkscreen_Top을 선택한다.

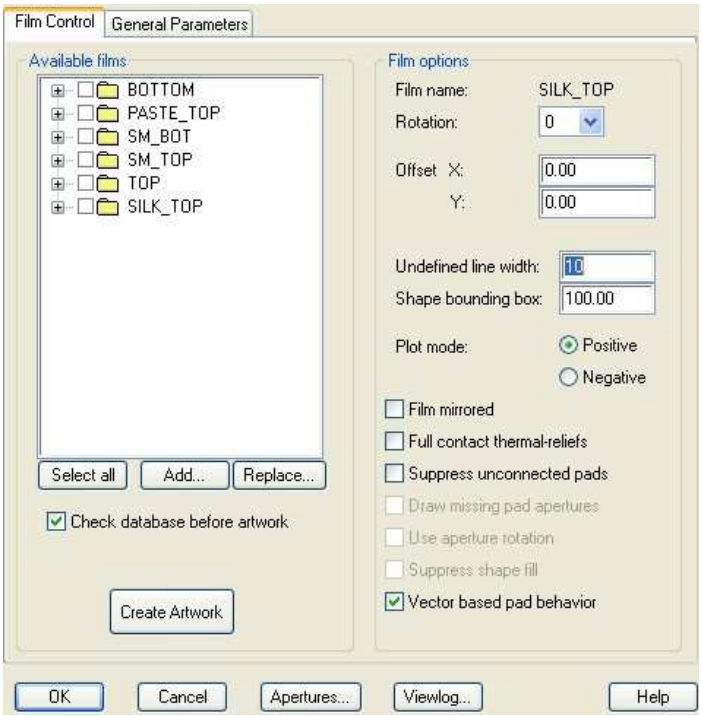
- Component Geometry > RefDes 의 Silkscreen_Top을 선택한다.



- Board Geometry의 Silkscreen_Top을 선택한다.



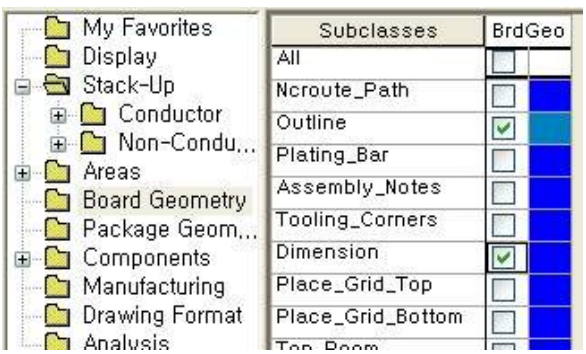
- OK를 선택한다.
- Artwork 아이콘을 선택한다.
- Film Control Tab을 선택한다.
- Bottom 폴더를 선택하고 마우스 오른쪽 버튼의 팝업 메뉴 중 Add를 선택한다. 이름을 SILK_TOP으로 기입한다.
- Undefined line width : 10 기입한다.



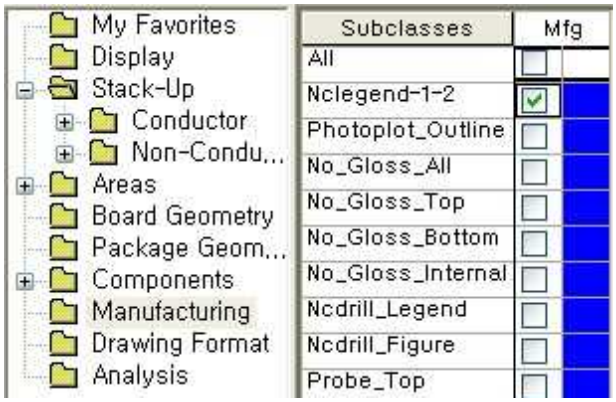
- OK를 선택한다.

⑤ Drill_Draw

- Color 설정을 변경한다.
- Global Off를 선택해서 모든 설정을 해제한다.
- Board Geometry > Outline을 선택한다.
- Dimension을 선택한다.



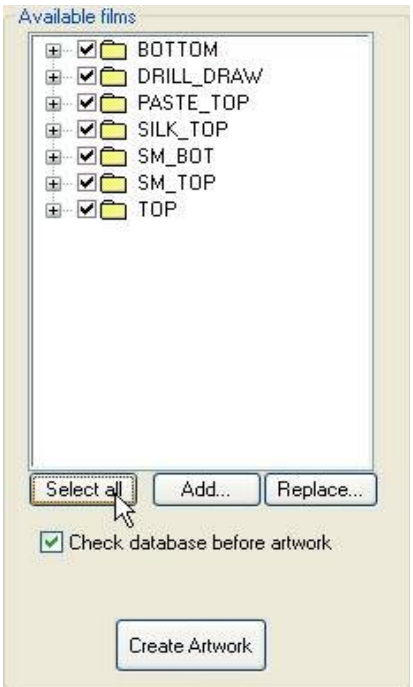
- Manufacturing > Legend1-2를 선택한다.



- OK를 선택한다.
- Artwork 아이콘을 선택한다.
- Film Control Tab을 선택한다.
- Bottom 폴더를 선택하고 마우스 오른쪽 버튼의 팝업 메뉴 중 Add를 선택한다.
- 이름을 DRILL_DRAW으로 기입한다.
- Undefined line width : 10 기입한다.

⑥ 거버 파일 생성하기

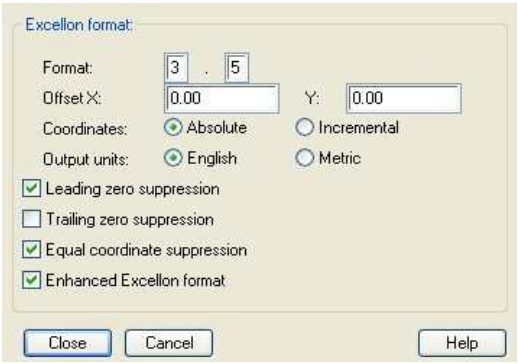
- Select all을 눌러 모두 선택한다.
- Create Artwork을 눌러 파일을 생성한다.



⑦ NC Drill

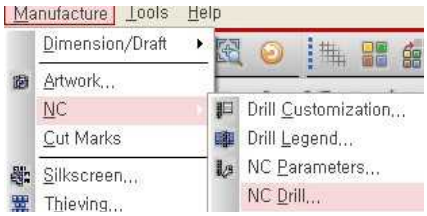
- 툴바 NCdrill Param 아이콘을 선택한다 .

- Excellon format을 설정한다.

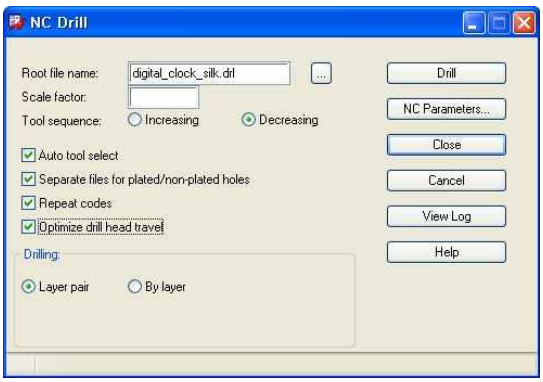


- 설정 후 Close를 선택한다.

- 메뉴 Manufacture > NC > NC Drill..을선택한다.



- Option을 모두 선택한 다음 오른쪽의 Drill 버튼을 누른다.



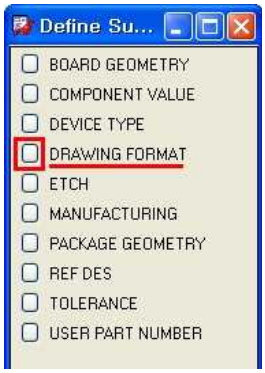
- Close를 눌러 종료한다.
- Gerber File의 생성이 완료되었다.

※ Artwork film 확인/출력

- 생성된 거버파일을 불러와서 프린터로 출력한다.
- 출력할 거버파일은 확장자가 art로 끝난다. NC-Drill 데이터는 출력되지 않는다.

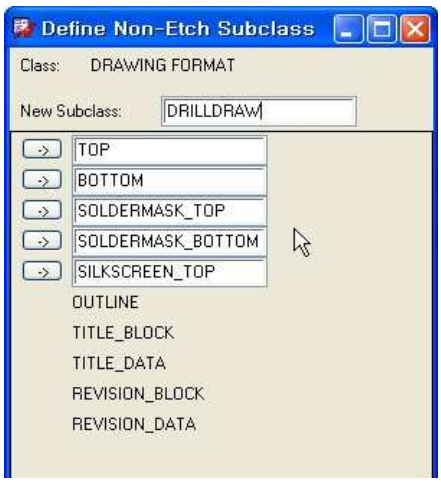
1. 거버파일까지 생성 완료한 작업파일을 연다.
2. 메뉴 Setup > Subclasses... 를 선택한다.

3. DRAWING FORMAT를 선택한다.



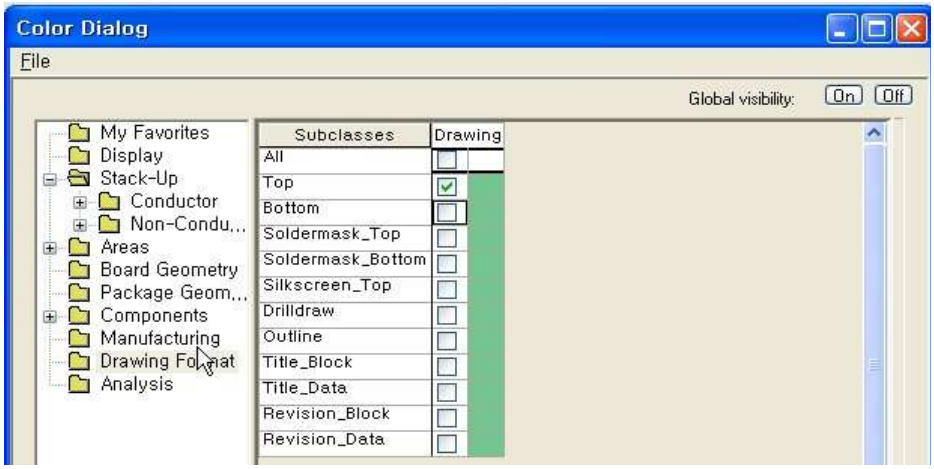
4. New Subclass 항목에

   - TOP
   - BOTTOM
   - SOLDERMASK_TOP
   - SOLDERMASK_BOTTOM
   - SILKSCREEN_TOP
   - DRILL_DRAW를 입력한다.
   - 한 항목씩 입력 후 Enter 키를 누른다. 입력 후에는 를 눌러 창을 닫는다.
   - Define Subclasses창을 OK를 눌러 닫는다.



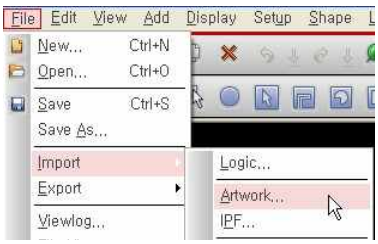
5. Color 설정하기

- 모든 레이어의 Color를 보이지 않게 설정한다.
- Drawing Format 항목에서 추가한 Subclass 레이어만 보이도록 체크 설정한다.

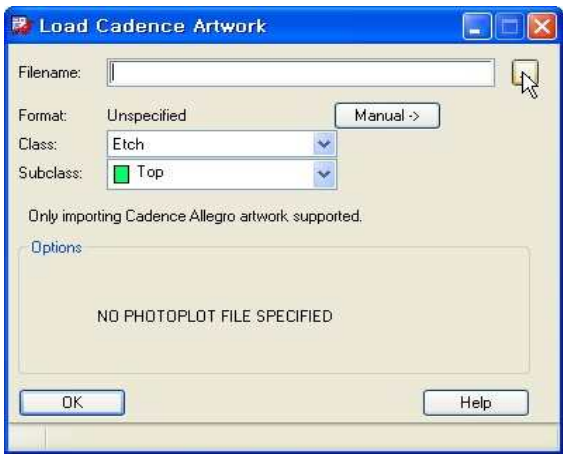


6. 거버 불러오기

- 메뉴 File > Import > Artwork...을 선택한다.

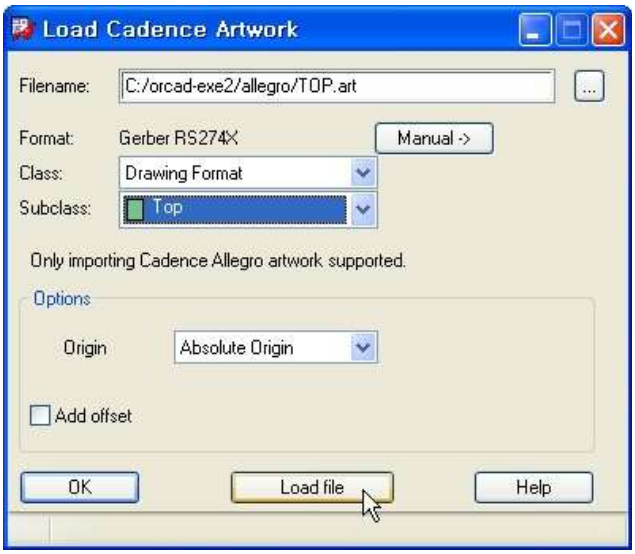


- Load Cadence Artwork창이 나타나며 Filename 의 Browse 아이콘을 눌러 TOP.art를 찾아서 열기 한다.



- Class : Drawing Format
- Subclass : TOP

- Load file을 선택한다. [OK를 선택하면 창이 닫힌다.]



- Load file 버튼을 클릭하면 마우스에 TOP.art(거버) 파일이 붙어 다니고 화면 중앙쯤에 놓는다. 화면에 배치하고 나면 다시 Load Cadence Artwork창이 나타난다.

- Filename : BOTTOM.art
- Class : Drawing Format
- Subclass : BOTTOM

- 설정 후 Load file을 눌러 겹쳐지게 배치한다.

- Filename : Silkscreen_TOP.art
- Class : Drawing Format
- Subclass : SILKSCREEN_TOP

- 설정 후 Load file을 눌러 겹쳐지게 배치한다.

- Filename : SOLDERMASK_TOP.art
- Class : Drawing Format
- Subclass : SOLDERMASK_TOP

- 설정 후 Load file을 눌러 겹쳐지게 배치한다.

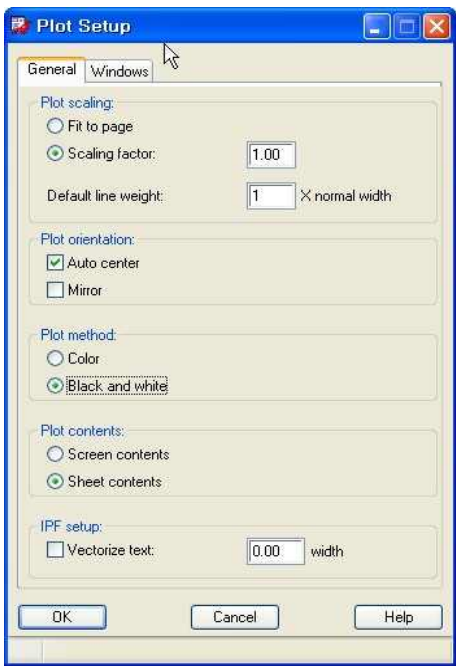
- Filename : SOLDERMASK_BOTTOM.art

- Class : Drawing Format
- Subclass : SOLDERMASK_BOTTOM
  - 설정 후 Load file을 눌러 겹쳐지게 배치한다.

- Filename : DRILL_DRAW.art
- Class : Drawing Format
- Subclass : DRILL_DRAW
  - 설정 후 Load file을 눌러 겹쳐지게 배치한다.
  - OK를 눌러 Load Cadence Artwork창을 닫는다.

7. 프린터로 출력하기

- Color 설정 창을 열어 Drawing Format / TOP 만 보이도록 체크 설정한다.



- 메뉴 File > Plot Setup을 선택한다.

- 설계한 데이터를 그대로 확인한다.

- Auto center를 선택하여 출력물 가운데 위치하도록 한다.

- Mirror : 반대로 보이게 하는 옵션으로 Bottom, Soldermask_bottom에 적용한다.

- Color 또는 흑백모드를 선택한다. OK를 눌러 설정을 마친다.

- 메뉴 File > Plot...을 선택한다.

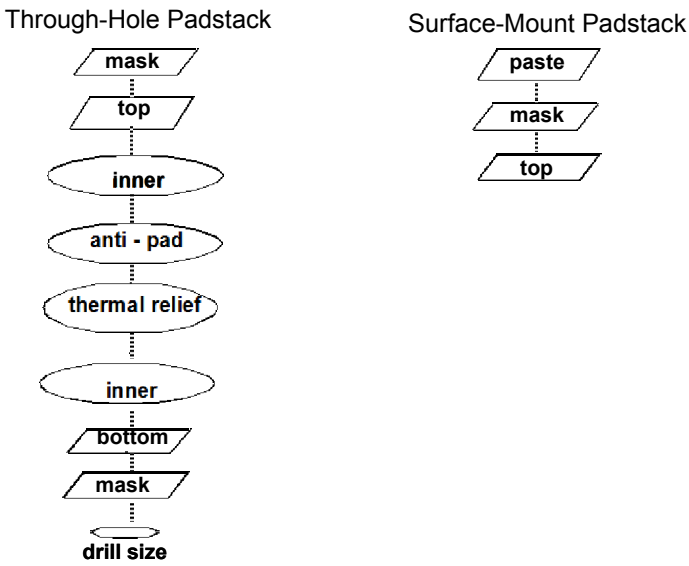
- Setup를 눌러 프린터, 용지 및 방향을 선택한다. OK를 누르면 출력이 된다.

- 위의 과정을 반복하여 출력한 후 저장한다.

8 Padstack 생성

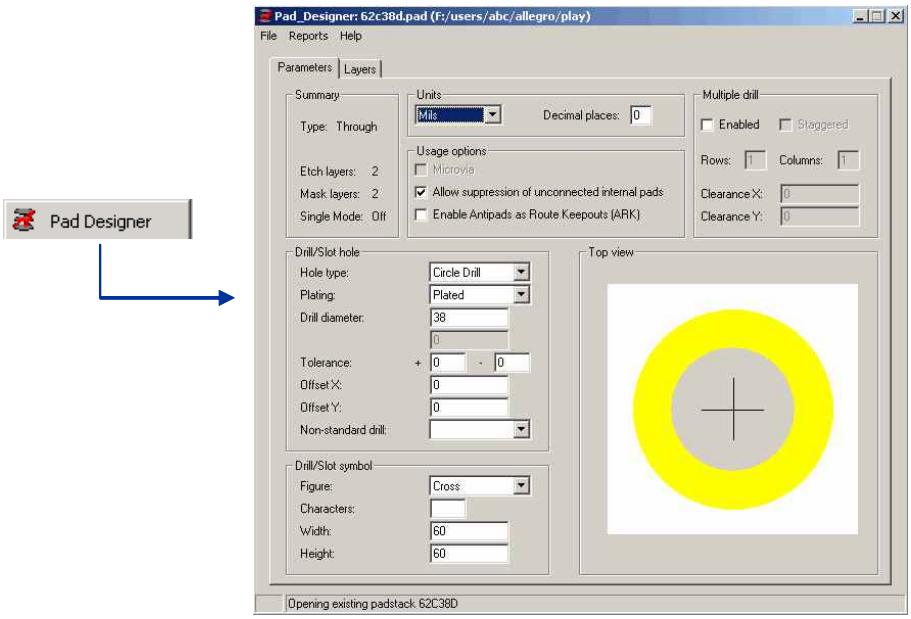
■ Padstack Designer

- Padstack 구조

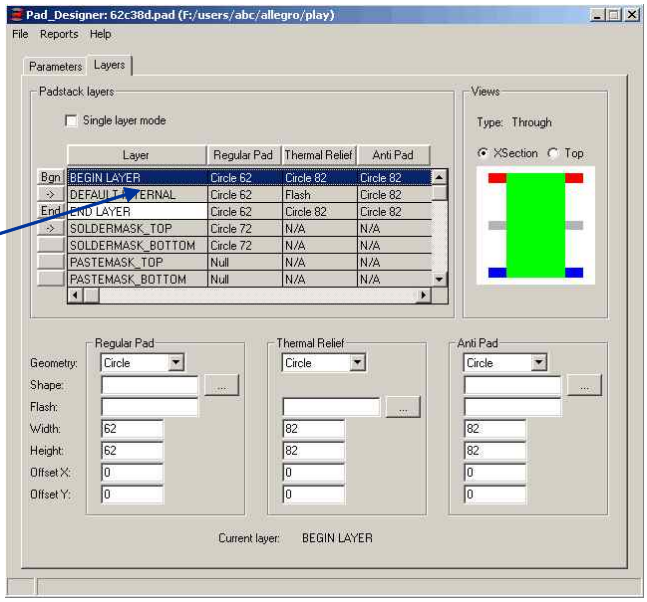


- Parameters

시작 > 프로그램 > Cadence > Release 16.3 > PCB Editor Utilities > Pad Designer

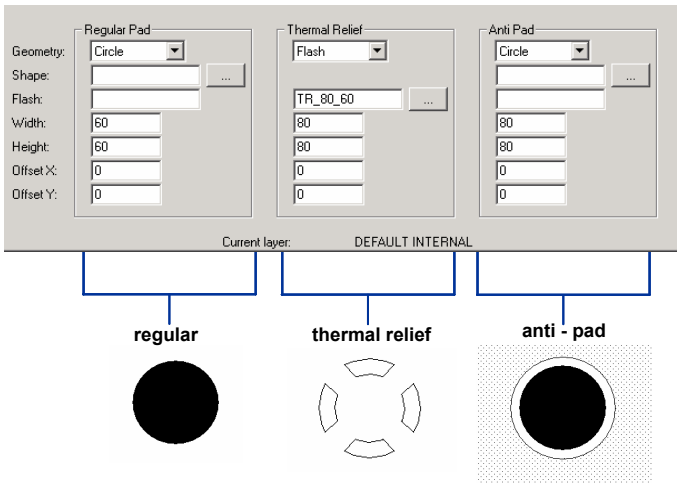


- Layers

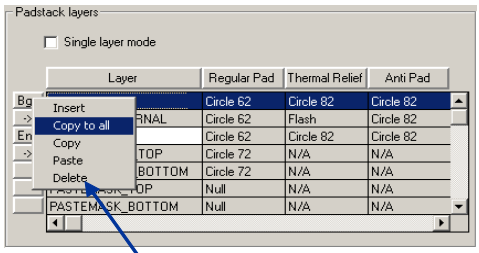


가로열 클릭,
입력/수정

- Pad 형태/Size 정의

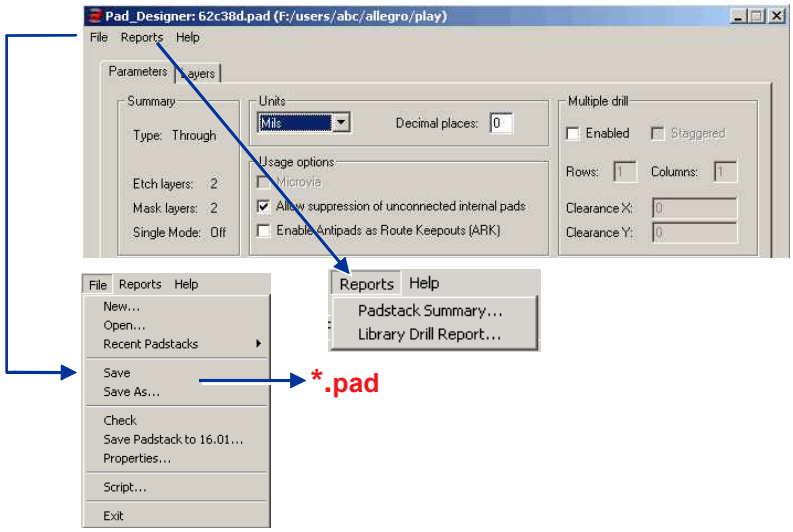


- Layer의 추가/삭제/복사



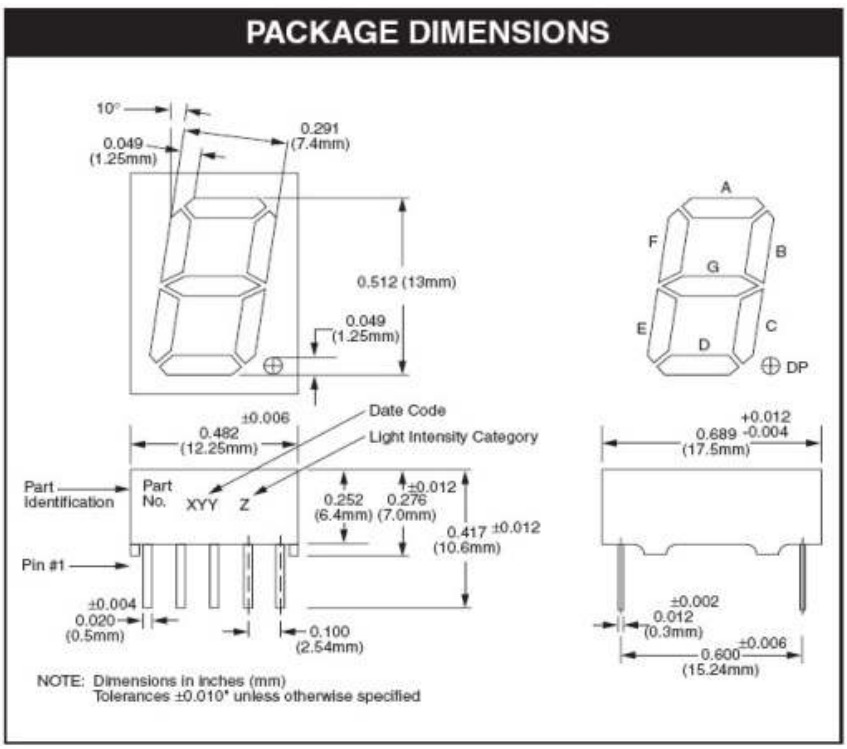
RMB popup 메뉴

- Padstack의 저장



Lab.

- Padstack 생성(7-Segment)



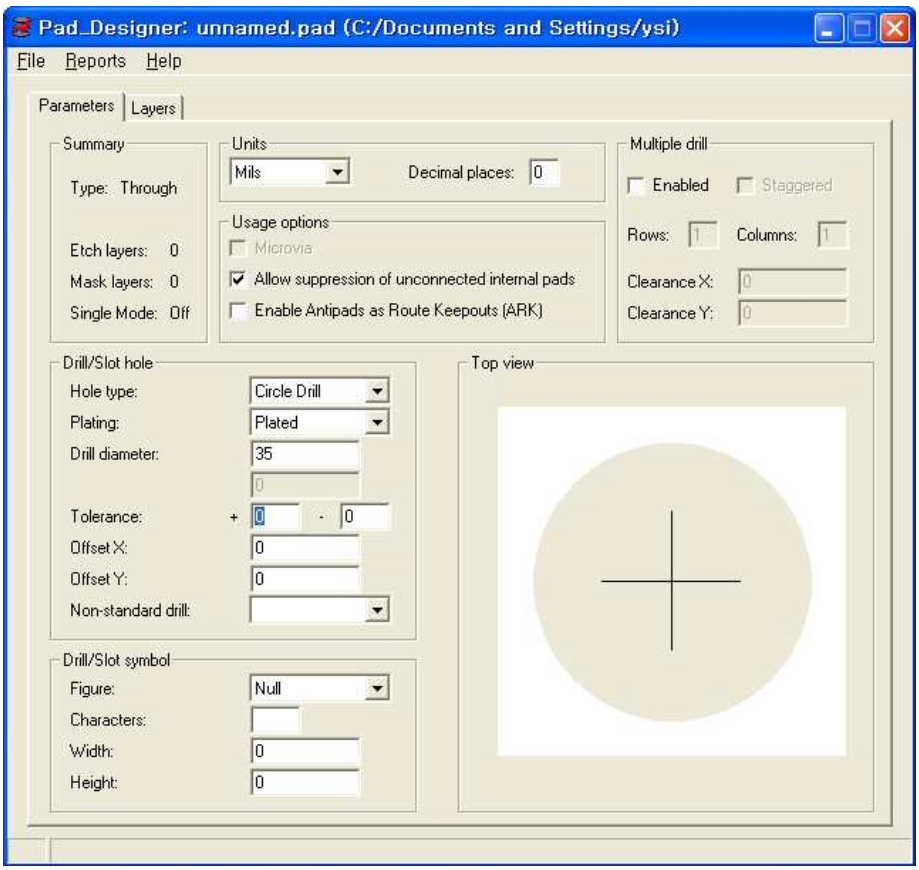
필요한 Data

- Pin Pitch
- Pin to Pin
- 부품 Width/Height

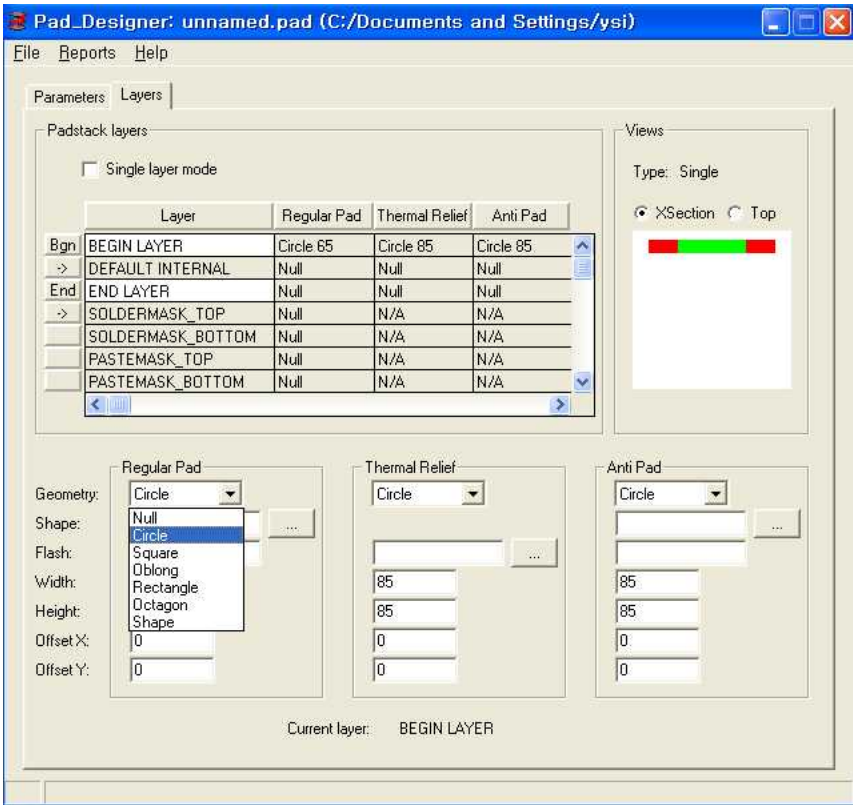
Pin - Pad Designer
Footprint - PCB Editor

1. Pad Designer를 실행한다.

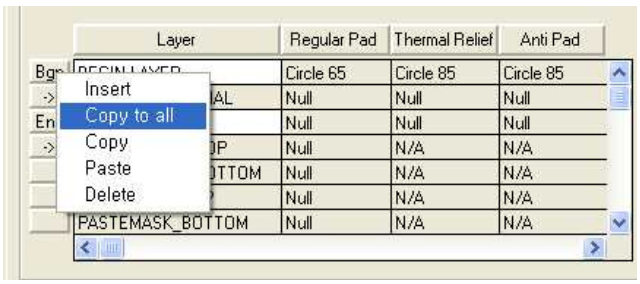
2. 다음과 같이 Parameters 탭을 다음과 설정한다. Drill diameter에 35를 입력 후 Tab 키를 누르면 Top view의 미리보기가 나타난다.

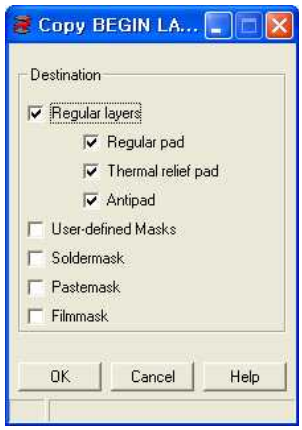


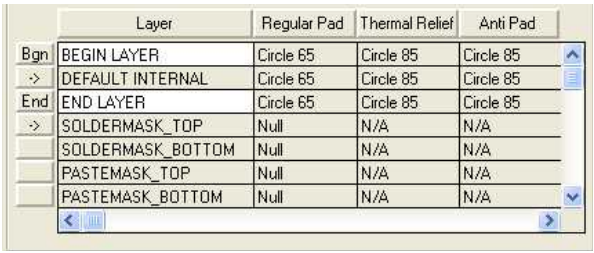
3. Layers 탭 메뉴로 이동하여, Begin layer를 클릭하여 아래 Geometry 필드를 참고로 하여 다음과 같이 설정한다. 각 파라미터 입력 후 Tab 키를 누르면 바로 입력된다.



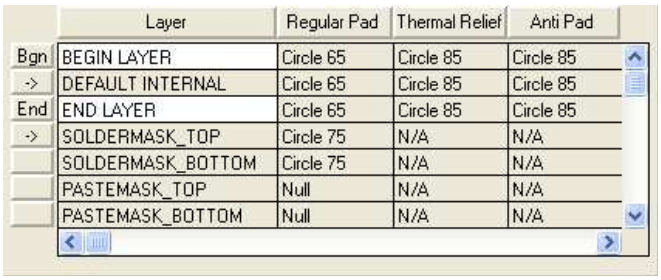
4. Begin layer 입력이 완료되었으면 다른 layer는 RMB의 copy 기능을 이용하여 copy, 입력한다.







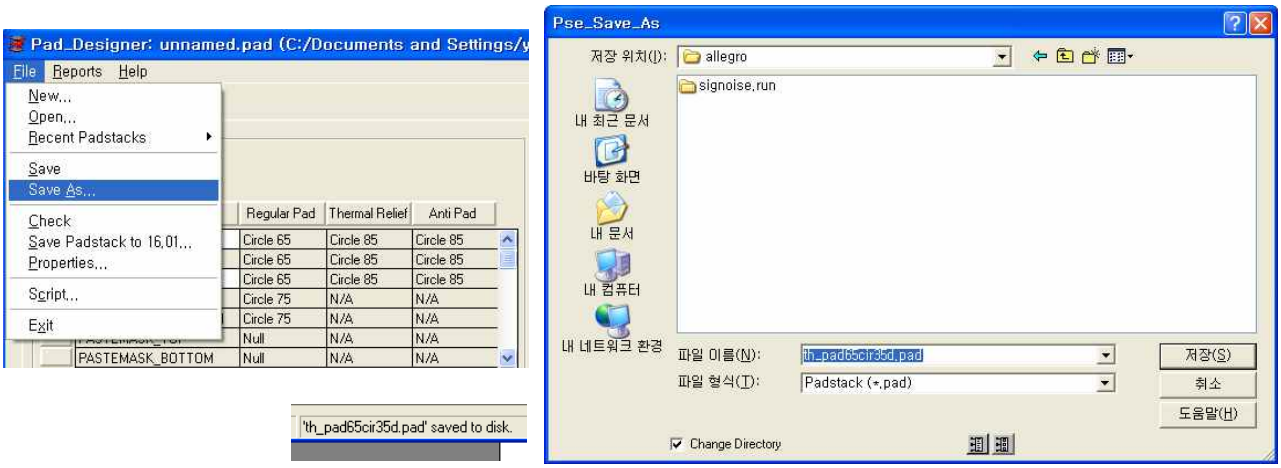
5. SOLDERMASK_TOP, SOLDERMASK_BOTTOM을 다음과 같이 입력한다.



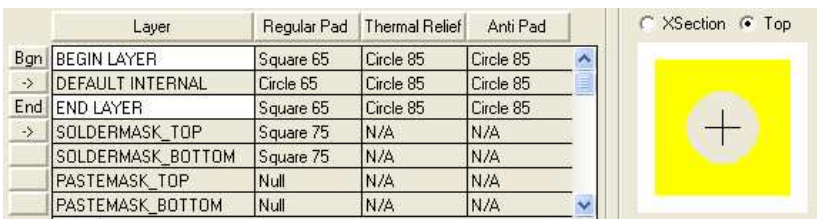
	Layer	Regular Pad	Thermal Relief	Anti Pad
Bgn	BEGIN LAYER	Circle 65	Circle 85	Circle 85
->	DEFAULT INTERNAL	Circle 65	Circle 85	Circle 85
End	END LAYER	Circle 65	Circle 85	Circle 85
->	SOLDERMASK_TOP	Circle 75	N/A	N/A
	SOLDERMASK_BOTTOM	Circle 75	N/A	N/A
	PASTEMASK_TOP	Null	N/A	N/A
	PASTEMASK_BOTTOM	Null	N/A	N/A

6. File - Save As...메뉴를 통해 **TLMeter 폴더 하위의 allegro 폴더내**에 th_pad65**cir**35d 라는 이름으로 save as 한다(확장자는 .pad 이다).

※ 주의 : Save를 하면 unnamed.pad 로 바로 저장된다.



7. 추가로 PCB에 7-Segment 부품을 정확하게 삽입, 실장할 수 있도록 1번 핀에 사용될 사각형 pad를 추가, 저장해 본다(th_pad65**sq**35d.pad)

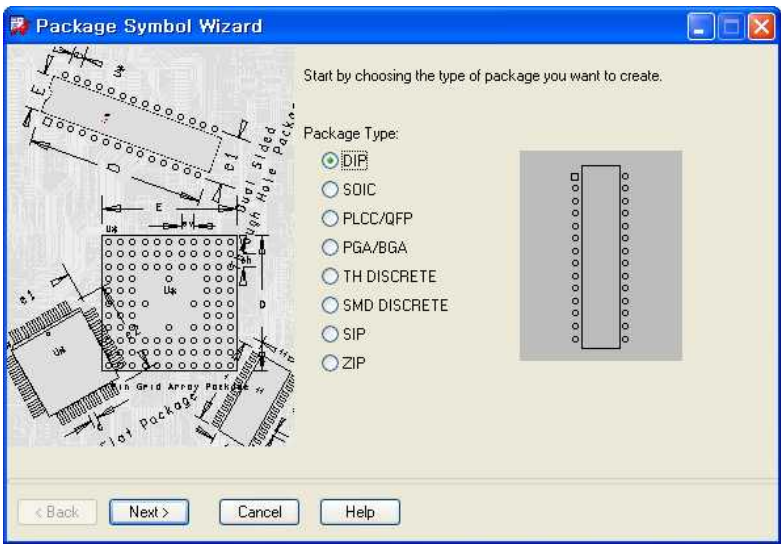


	Layer	Regular Pad	Thermal Relief	Anti Pad
Bgn	BEGIN LAYER	Square 65	Circle 85	Circle 85
->	DEFAULT INTERNAL	Circle 65	Circle 85	Circle 85
End	END LAYER	Square 65	Circle 85	Circle 85
->	SOLDERMASK_TOP	Square 75	N/A	N/A
	SOLDERMASK_BOTTOM	Square 75	N/A	N/A
	PASTEMASK_TOP	Null	N/A	N/A
	PASTEMASK_BOTTOM	Null	N/A	N/A

9 Package Symbol 생성

■ Package Symbol Wizard

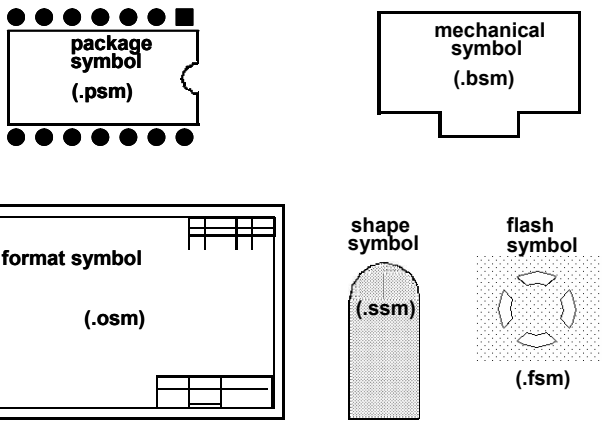
Drawing Name : 영문+숫자
Drawing Type :
Package symbol(wizard)



Wizard 생성 단계

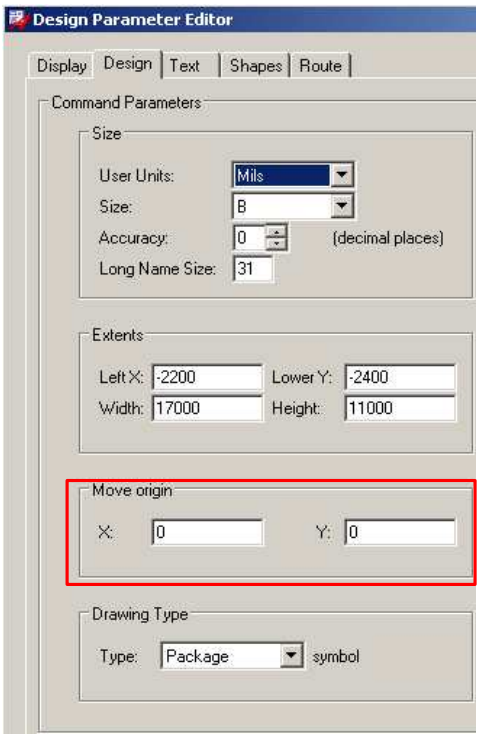
1. 생성할 Footprint 타입 선택
2. 사용할 Template 선택
3. 단위 설정
4. Pin 개수 설정
5. 사용할 Padstack 선택
6. Footprint의 Origin 선택

■ PCB Editor Symbol 타입

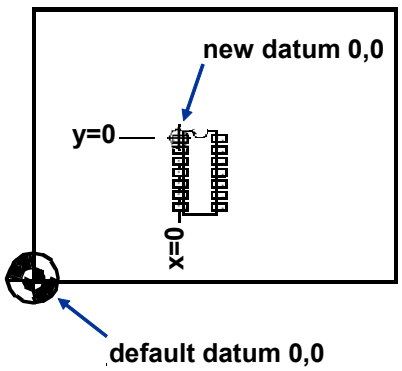


■ Package symbol 생성

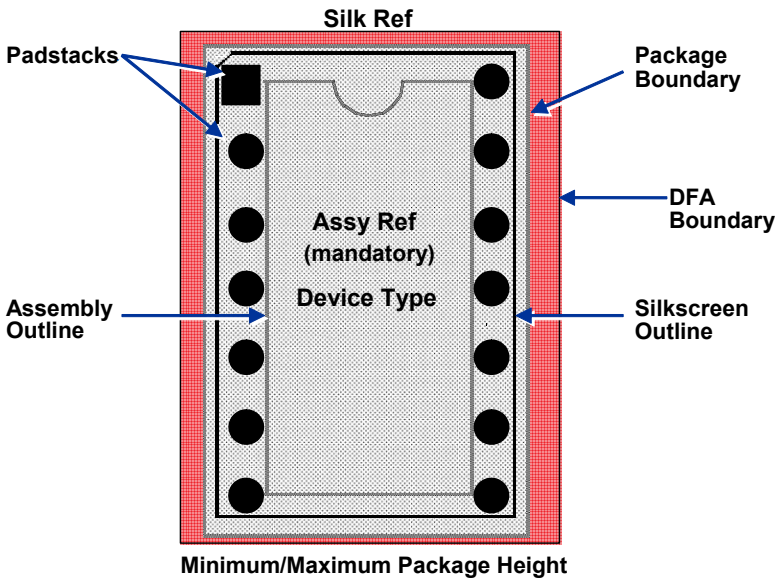
- Design Parameters



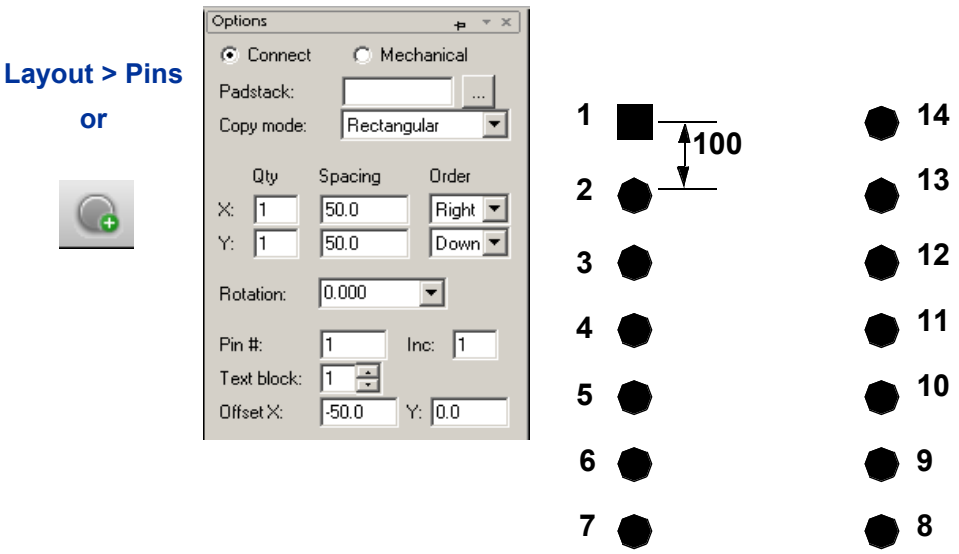
Setup > Design Parameters…



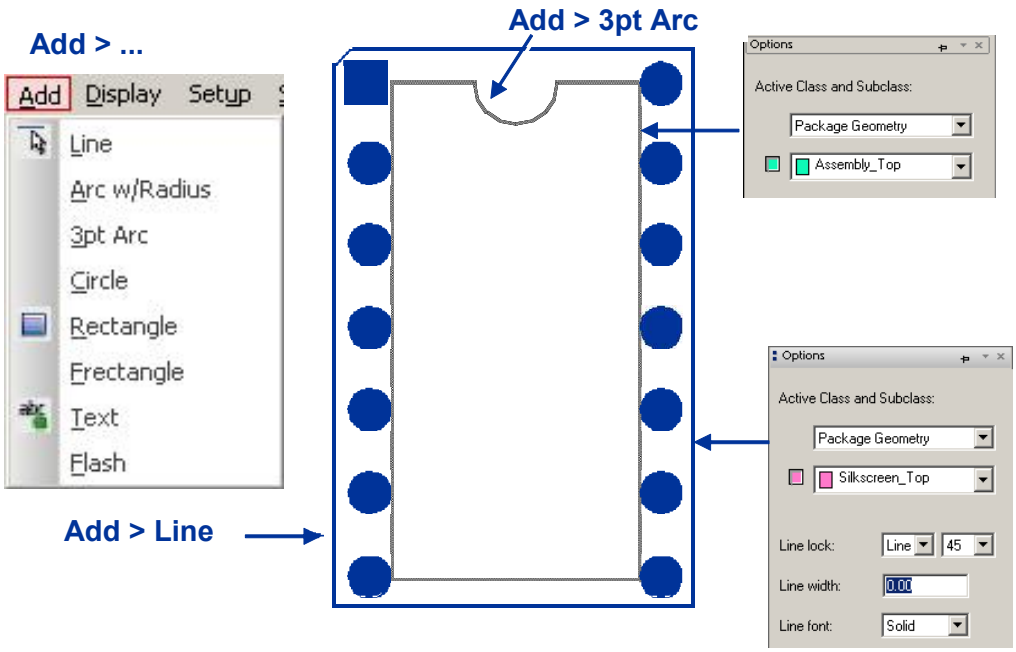
- Example - 14 Pin DIP Package



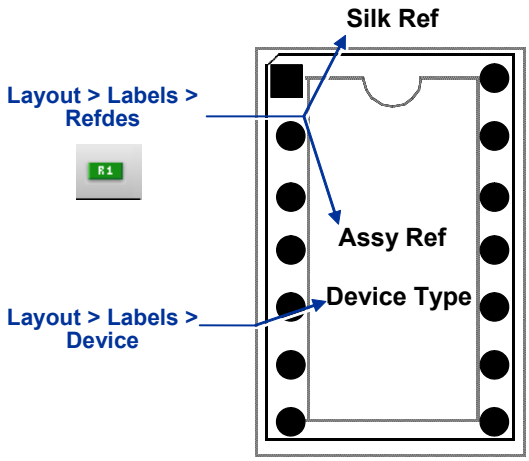
- Pin 추가



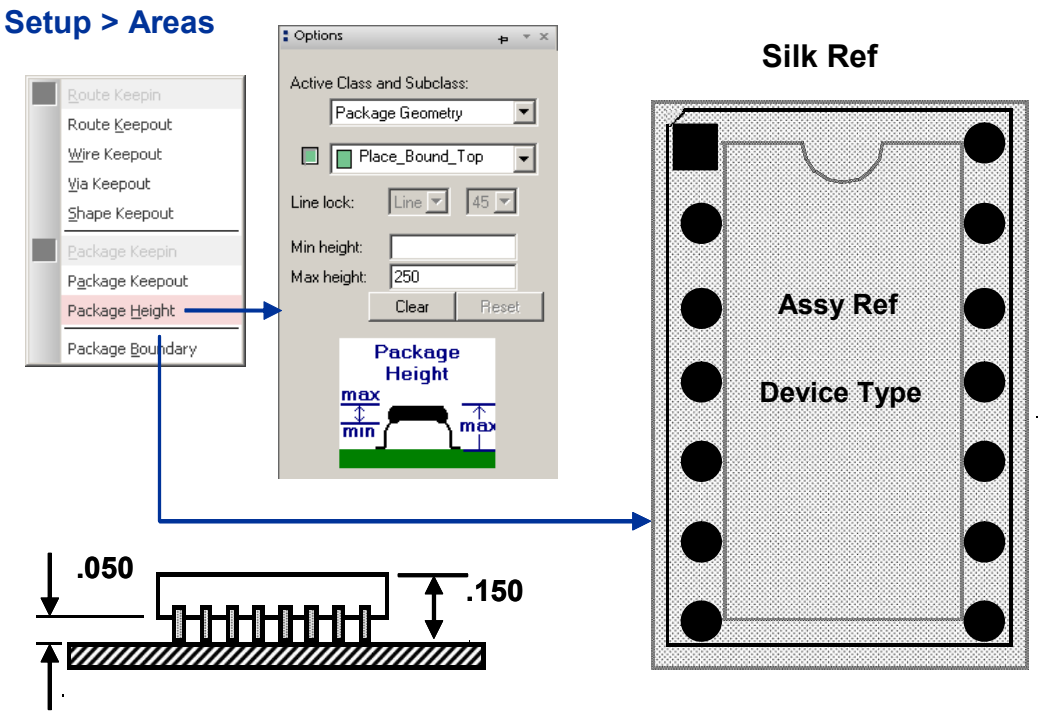
- 부품 Outline



• Label(Reference 등) 추가



• Constraint Area 설정



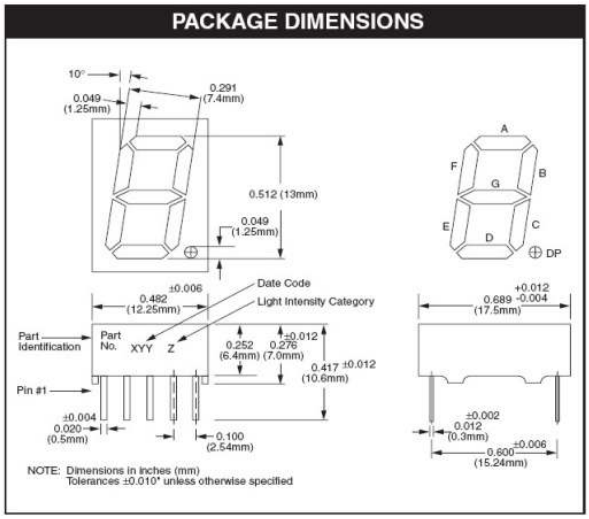
• Package symbol 저장

- Save 클릭하면 *.dra 파일의 저장과 동시에 *.psm 파일을 자동 생성하여 저장한다.
- *.dra file : 설계자가 열어 보고, 수정할 수 있는 파일
  *.psm file : Binary file로써 열어 볼 수 없음(PCB Editor가 인식)
- Save 활성화 되지 않을 때 : File - Create symbol... 메뉴 이용

Lab.

• Package symbol 생성(7-Segment Footprint)

1. Datasheet를 확인하여 Footprint에 필요한 데이터를 발췌한다.



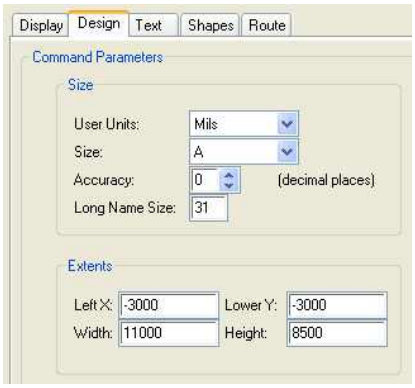
• Padstack
  1번 pin - th_pad65sq35d
  2~10번 Pin - th_pad65cir35d

• Pin to Pin - 2.54mm (100 mils)
  - 15.24mm (600 mils)

• 부품 Size - 12.25 X 17.5mm
  482 X 689 mils ≅ 500 X 700 mils

2. PCB Editor를 실행하여, File - New...선택한 다음, Drawing 이름과 타입을 입력 및 설정한다(저장 경로는 allegro 폴더내)

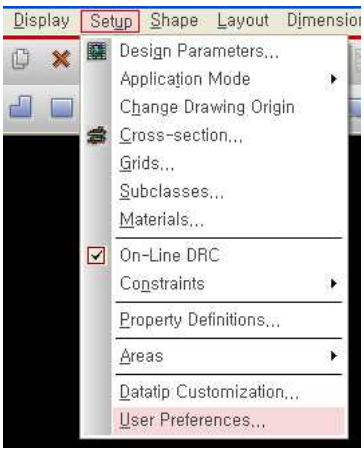
3. Package symbol 생성의 기본 환경을 설정한다.
- Setup > Design Parameters..을 선택한다.
- Display Tab에서 Setup Grids를 선택하여, 변경한다.
  Non-Etch : X : 25, Y : 25 [mil]
- Design Tab에서 Unit과 Sheet Size, Extents를 선택한다.

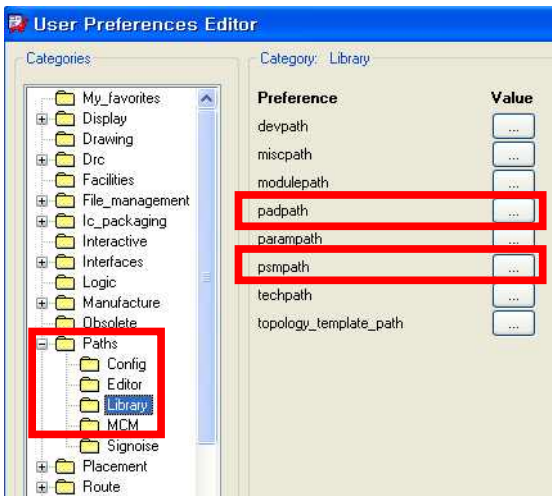


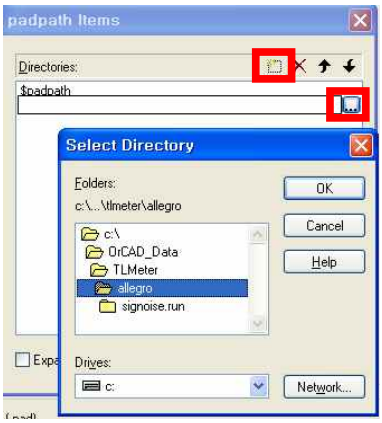
4. Pin(Padstack)을 배치한다.

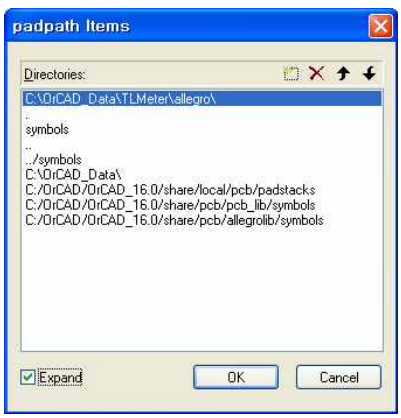
- Layout > Pin 또는 툴바 Add Pin 아이콘 을 선택한다.
- Control Panel에서 Option Tab을 선택한다.
- Padstack : th_pad65sq35d

※ Padstack 및 Package symbol 등이 List에 없으면 padstack과 package symbol이 저장되어 있는 경로를 반드시 pad path와 psm path에 추가해 주어야 한다)

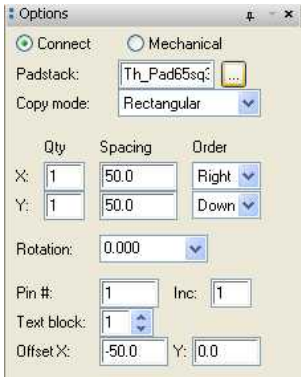








OK 확인 후 반드시 Apply

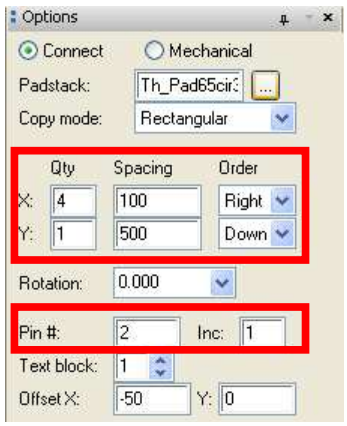


- Command 창에 x 0 0을 입력하고 Enter .
- F6키나 마우스 오른쪽 버튼을 눌러 Done을 선택.
- 1번 핀 배치 완료.
- 2번 핀 부터 10번 핀까지는 같은 타입의 핀을 배치.
- Add Pin을 실행한다.
- Option Tab을 열어 설정을 변경한다.

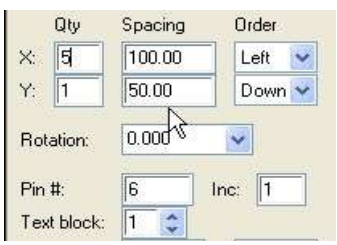
Padstack : th_pad65cir35d

X축으로 4개의 핀을 100mil 간격으로 오른쪽으로 연속배치.

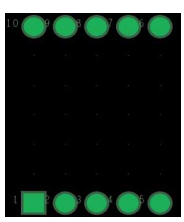
Pin # 2번부터 1 씩 증가



- 설정이 완료되면 x 100 0 에 놓으면 자동으로 5번 핀까지 배치가 된다.
- X축으로 5개의 핀을 100mil 간격으로 왼쪽으로 연속배치
- 6 번핀을 X 400 600에 놓으면 자동으로 10번 핀까지 배치됨



※ Pin 배치 규칙

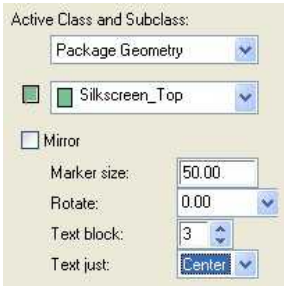


- 항상 왼쪽이 기준이 된다.
- 연속된 핀 배열로 보았을 때 좌측 상단이 1 번 핀이 된다.
- 반 시계 방향으로 핀 번호가 부여된다.
- 1번 핀은 사각형 패드를 배치한다.

5. Drawing 정보를 그린다.
 - Silkscreen_Top, Assembly_top, Place_Bound_Top, Silkscreen_Ref, Assembly_Ref

① Silkscreen_Top

- Add > Rectangle 또는 좌측 툴바 Add Rectangle 아이콘 을 선택한다.
- Option Tab을 열어 Package Geometry / Silkscreen_Top을 선택한다.



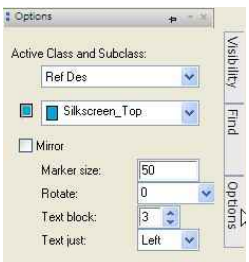
- Command 창에 x -50 -50 Enter ,ix 500 700 Enter 를 입력하고 F6 또는 Done.
  [x a , b : 절대좌표]
  [ix a , b : 상대좌표(절대좌표 포인트에서 x축으로 a만큼, y축으로 b만큼 이동)]

② 같은 방법으로 Assembly_top에 x -50 -50 Enter ,ix 500 700 Enter .

③ Place_Bound_Top도 동일한 방법으로 그린다.

④ Silkscreen_Ref

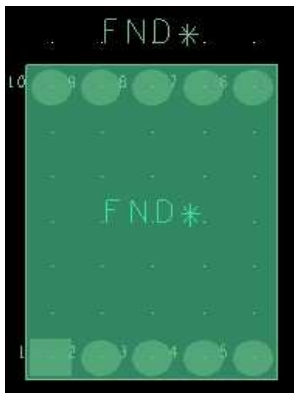
- Layout > Labels > Refdes 또는 툴바 Label Refdes 아이콘 을 선택한다.
- Option Tab을 열어 Refdes / Silkscreen_Top을 선택한다.
- Text Block을 3으로 선택한다.
- Text just : center
- 사각형의 위쪽에 클릭 후 FND*를 입력 후 F6키 또는 Done.



.

⑤ Assembly_Ref

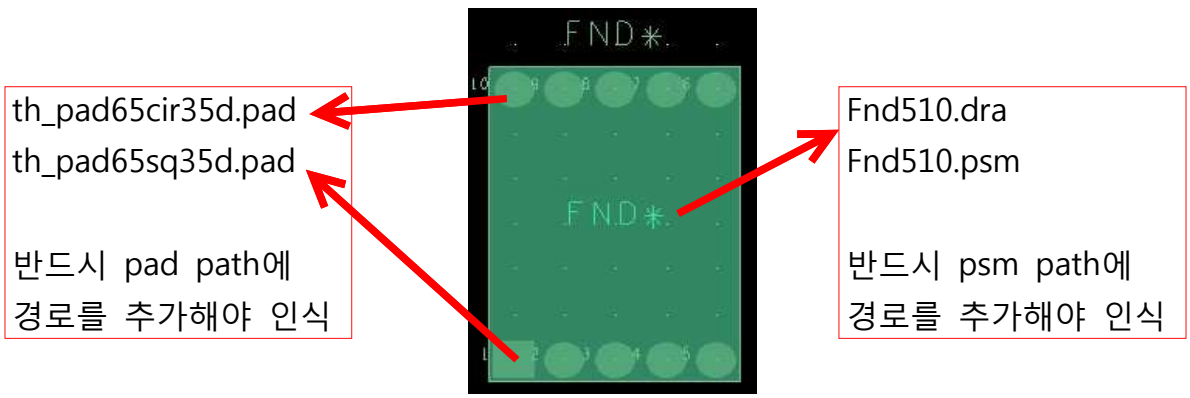
- Layout > Labels > Refdes 또는 툴바 Label Refdes 아이콘 을 선택한다.
- Option Tab을 열어 Refdes / Assembly_Top을 선택한다.
- Text Block을 3으로 선택한다.
- Text just : center
- 사각형의 안쪽에 클릭하고 FND*를 입력 후 F6키 또는 Done.
- Save를 눌러 저장한다.



- Fnd510.dra 파일과 fnd510.psm 파일이 생성되어 저장되었다는 메시지가 command 창에 나타난다.

※ Schematic 및 PCB Editor Update(Netlist Update)

사전 작업

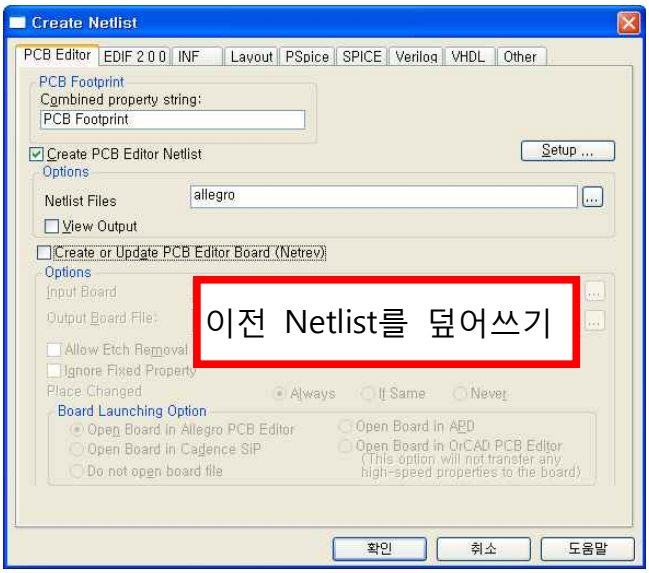


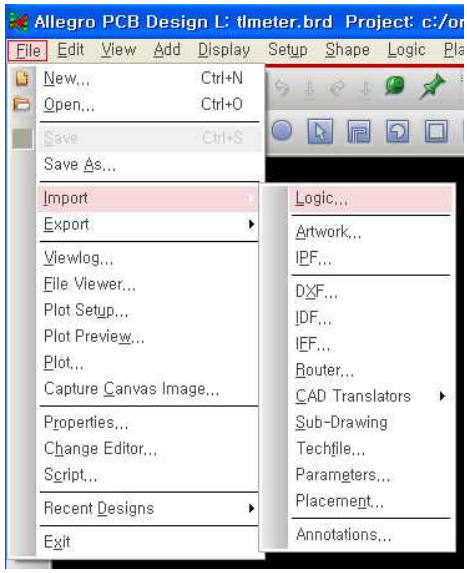
1. Capture을 실행하여 FND1, FND2 PCB Footprint 속성을 DIP10_2에서 FND510으로 변경한 후 tlmeter.opj/dsn을 저장한다.

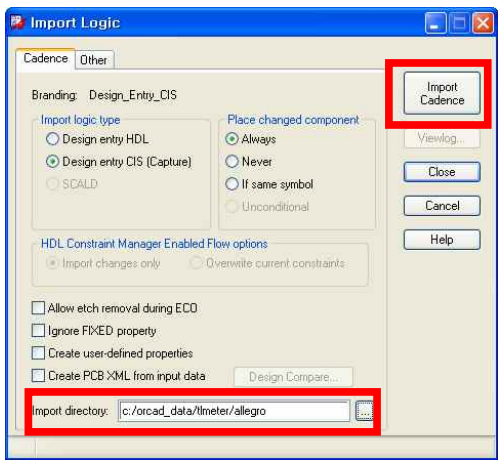
Part Reference	Value	PCB Footprint
C1	0.1uF	SMDCAP
C2	0.1uF	SMDCAP
C3	0.1uF	CAP196
C4	0.1uF	CAP196
C5	0.1uF	CAP196
FND1	FND	FND510
FND2	FND	FND510
J1	CON3	JUMPER3
R1	18K	SMDRES

2. Tools - Create Netlist... 또는 툴바의 Create Netlist 아이콘 을 선택한다.

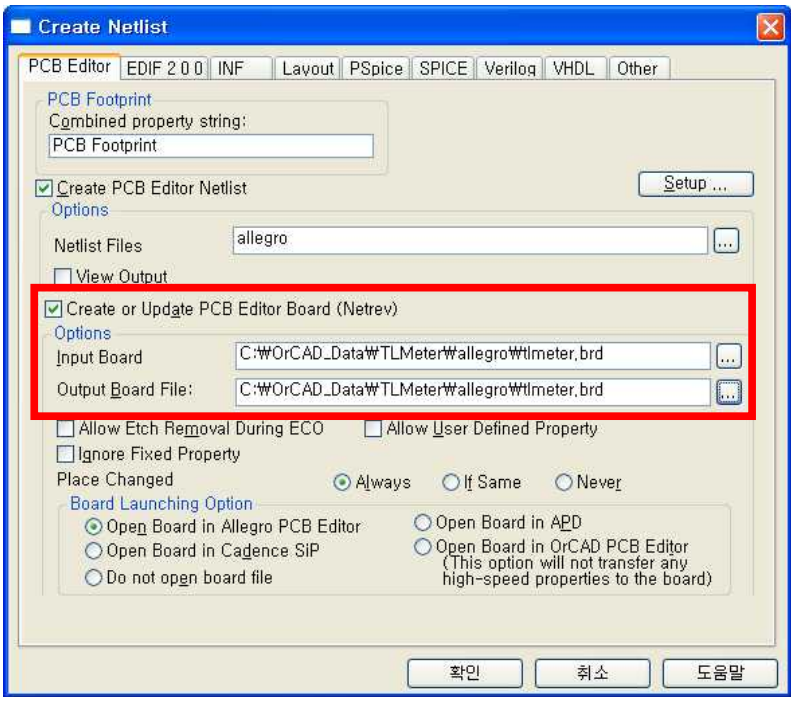
① 방법 : Netlist를 다시 생성한 후 설계 진행 중인 PCB Editor 보드(*.brd) 파일에 Import 하는 방법



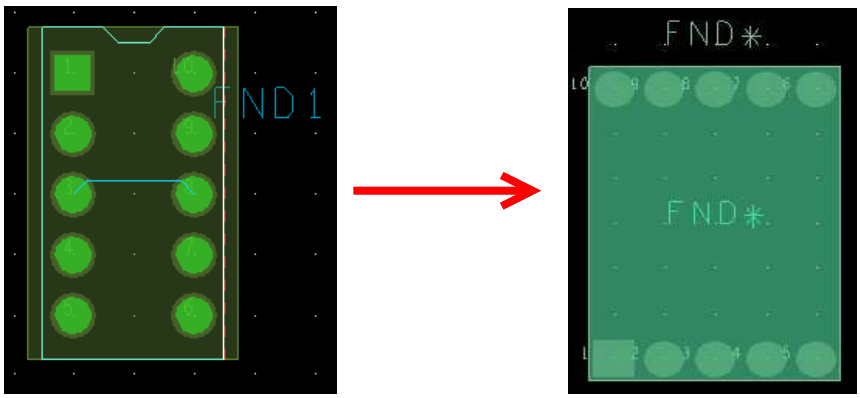




② 방법 : Create Netlist 창에서 Input Board와 Output Board File을 일치



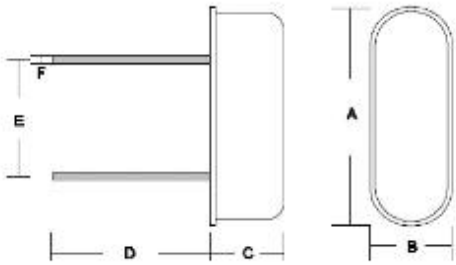
3. PCB Editor의 FND Package symbol이 변경된 것을 확인한다.



Lab.

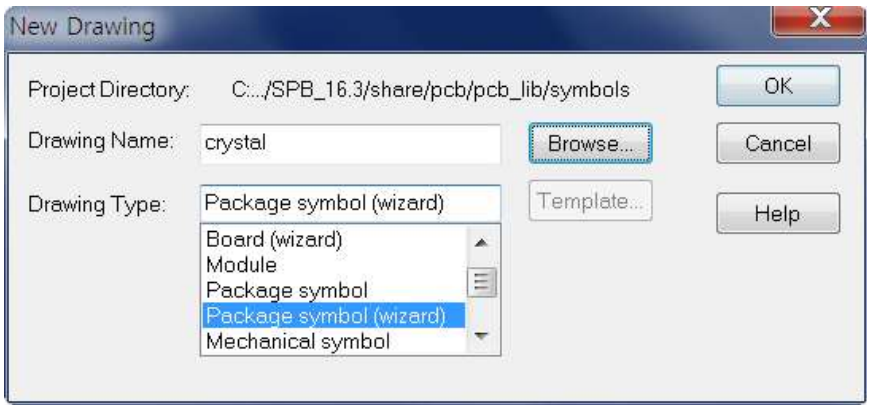
• Package symbol Wizard를 활용한 Crystal(TH Type) Footprint 생성

1. Package symbol 생성에 필요한 정보를 수집한다.



A	B	C	D	E	F
11.20	4.65	3.50	12.70	4.90	0.43

2. 메뉴바 File - New...를 선택한 후 명칭을 입력하고, Drawing type을 Package symbol(wizard)로 선택하여 OK 버튼을 선택한다.



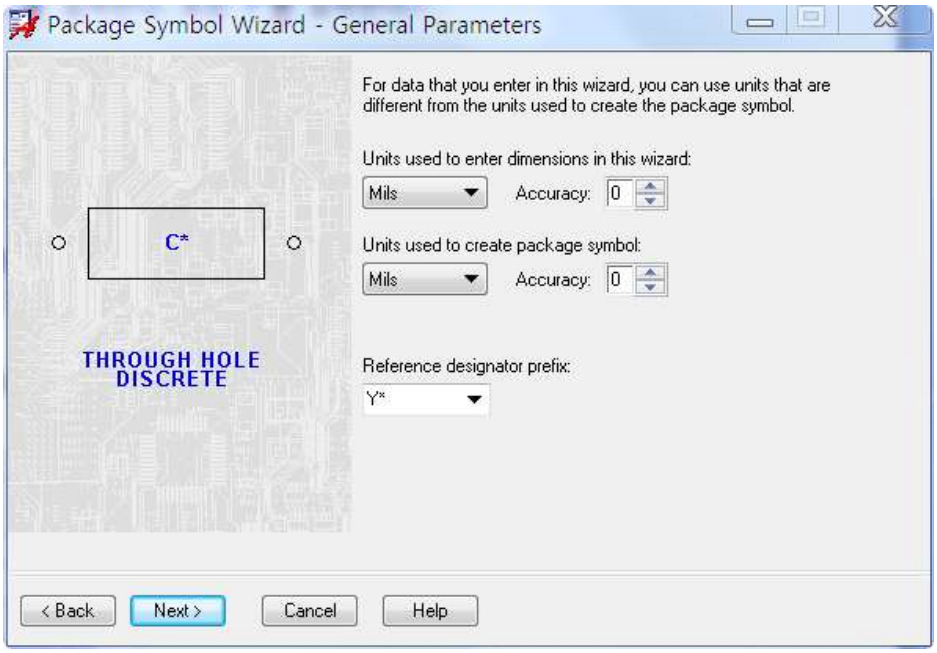
※ Project Directory의 저장경로는 Browse...버튼을 통해 변경가능하며, 반드시 기억해야 한다.(psmpath 관련)

3. Package type을 TH DISCRETE로 설정한 후 Next 버튼을 선택한다.

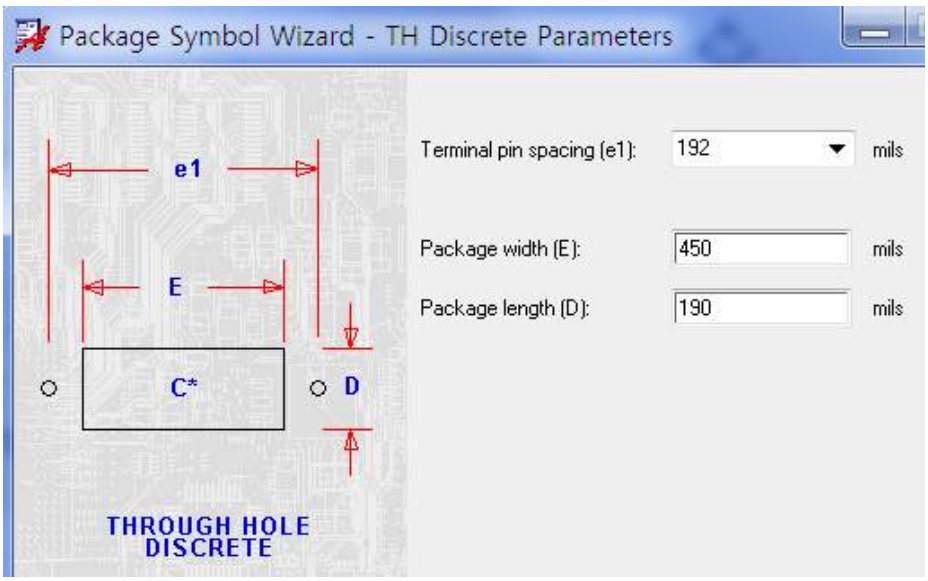
※ TH DISCRETE - 2 Pin 의 TH Type, SMD DISCRETE - 2 Pin 의 SMD Type

4. Load Template 버튼(기본 Design Parameter를 읽어 들임)을 선택한 후 Next 한다.

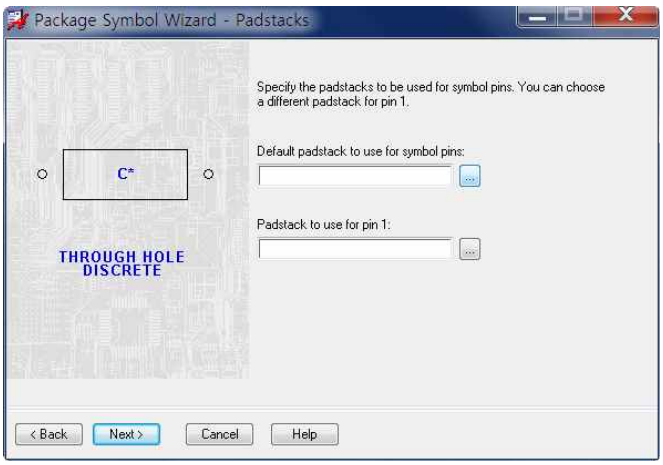
5. Reference 지정 필드에 Y*로 변경한 후 Next 한다.

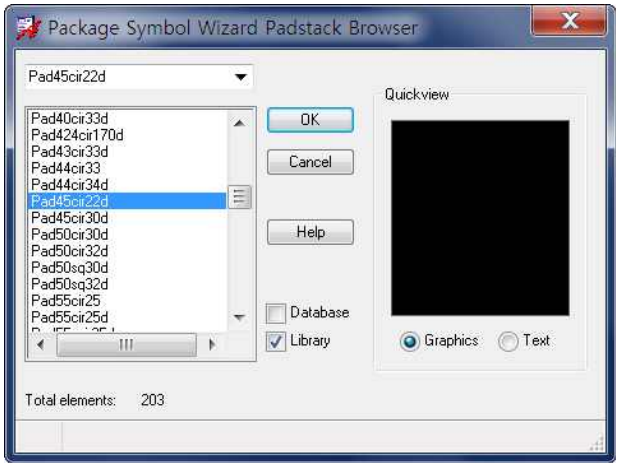


6. Parameter 설정창에서 아래와 같이 입력한 후 Next 한다.(Datasheet의 단위 주의)

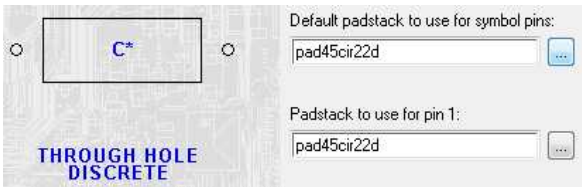


7. Padstacks창에서 Pin의 Size을 고려하여 Browse 버튼을 활용하여 기본적으로 제공하는 pad45cir22d를 선택한다.

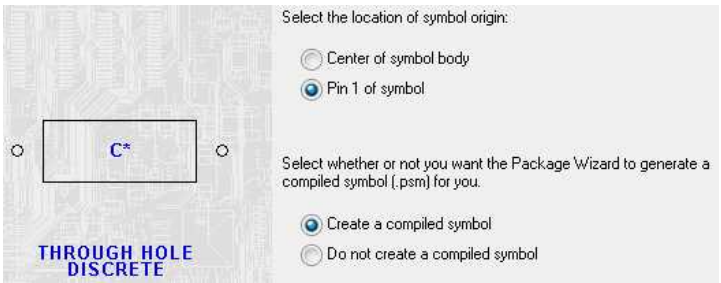


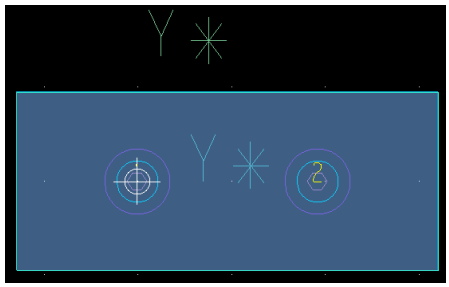


8. 1번 Pin을 특별히 오삽 방지를 위하여 다른 모양의 Padstack으로 설정할 필요가 없다면 Next 한다.



9. Symbol의 Origin(원점)을 1번 Pin에 지정하고(Pin 1 of symbol 선택), Create a compiled symbol을 선택한 후 Next 한다.





※ Create a compiled symbol - 모두 완성(*.dra/psm 파일 모두 생성)
Do not create a compiled symbol - 일부 편집 후에 완성 목적(*.dra파일만 생성)

10. Finish 버튼을 선택하여 종료하면, 화면에 자동 생성된 crystal package symbol이 보인다.

※ *.dra 파일만 생성하여 일부 편집 후에 Save만 하면 자동으로 *.psm을 만들어 준다.

<THE END>

기타 문의사항은 www.npeda.co.kr 고객지원의 Q&A를 이용해 주시길 바랍니다.